

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-127258
(P2001-127258A)

(43)公開日 平成13年5月11日(2001.5.11)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 01 L 27/10	4 5 1	H 01 L 27/10	4 5 1 5 F 0 3 8
21/316		21/316	X 5 F 0 5 8
27/04		27/04	C 5 F 0 8 3
21/822		27/10	6 5 1
27/108			

審査請求 有 請求項の数27 O L (全 23 頁) 最終頁に続く

(21)出願番号 特願平11-302207

(22)出願日 平成11年10月25日(1999.10.25)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 辰巳 橄

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100088328

弁理士 金田 幡之 (外2名)

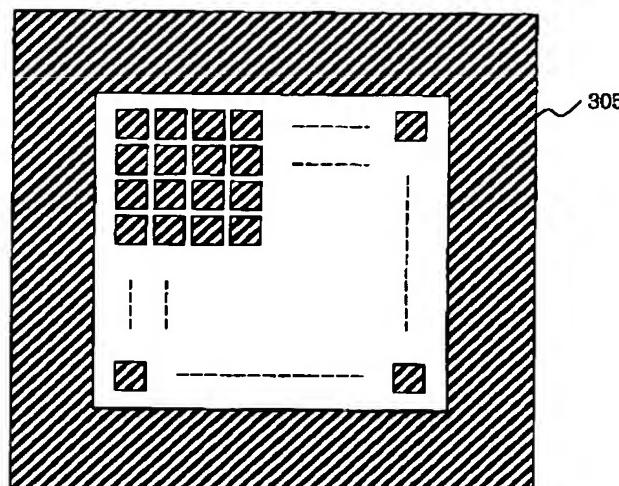
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 本発明は、素子構造が微小化された場合であっても、特性および信頼性に優れた容量素子を有する半導体装置およびその製造方法を提供することを目的とする。

【解決手段】 ABO_3 で表されるペロブスカイト型の金属酸化物誘電体膜を形成する際に、絶縁膜上に下部電極材料膜を成膜した後、下部電極を形成すると同時に、下部電極アレイ最外周から $10\mu m$ 程度以下の距離を隔てて、 $20\mu m$ 以上の幅で結晶化補助のための導電膜305を形成し、その上に金属酸化物誘電体膜を形成する。



【特許請求の範囲】

【請求項1】 半導体基板上に、下部電極、 ABO_3 で表されるペロブスカイト型の金属酸化物誘電体膜および上部電極が順に積層された容量素子が複数個集まったアレイ領域を有する半導体装置において、

前記金属酸化物誘電体膜の成膜の際に成膜活性種形成の触媒作用のある材料で形成された結晶化補助導電膜が、前記アレイ領域の最外周の下部電極から成膜活性種の拡散距離以下の距離を隔てて、アレイ領域から外側に結晶核形成可能な幅以上の幅で形成し、その後、形成された下部電極および結晶化補助導電膜上に前記金属酸化物誘電体膜を成膜することを特徴とする半導体装置。

【請求項2】 前記結晶化補助導電膜が、前記アレイ領域の最外周の下部電極から $10\ \mu\text{m}$ 未満の距離に設けられていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記結晶化補助導電膜が、前記アレイ領域から外側に $20\ \mu\text{m}$ 以上の幅で設けられていることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 半導体基板上に、下部電極、 ABO_3 で表されるペロブスカイト型の金属酸化物誘電体膜および上部電極が順に積層された容量素子が複数個集まったアレイ領域として存在している半導体装置において、

前記金属酸化物誘電体膜の成膜の際に成膜活性種形成の触媒作用のある材料で形成された結晶化補助導電膜が、半導体装置面積の10%以上を被覆するように設けられていることを特徴とする半導体装置。

【請求項5】 前記結晶化補助導電膜が、前記金属酸化物誘電体膜の成膜直前に露出している面内に形成されていることを特徴とする請求項1～4のいずれかに記載の半導体装置。

【請求項6】 前記結晶化補助導電膜が、前記下部電極と同一レベルの平面内に、形成されていることを特徴とする請求項1～4のいずれかに記載の半導体装置。

【請求項7】 前記下部電極および前記結晶化補助導電膜が、それぞれPt、Ir、Ru、IrO₂およびRuO₂からなる群より選ばれる導電材料を表面層として有することを特徴とする請求項1～6のいずれかに記載の半導体装置。

【請求項8】 前記結晶化補助導電膜と前記下部電極が同一材料で形成されていることを特徴とする請求項7記載の半導体装置。

【請求項9】 前記 ABO_3 で表されるペロブスカイト型の金属酸化物誘電体膜が、A元素としてPbを含むことを特徴とする請求項1～8のいずれかに記載の半導体装置。

【請求項10】 前記金属酸化物誘電体膜が、PZT膜である請求項9記載の半導体装置。

【請求項11】 半導体基板上に、下部電極、 ABO_3 で表されるペロブスカイト型の金属酸化物誘電体膜および上部電極が順に積層された容量素子が複数個集まったアレイ領域を有する半導体装置の製造方法において、

絶縁膜上に、前記下部電極と、前記金属酸化物誘電体膜の成膜の際に成膜活性種形成の触媒作用のある材料で形成された結晶化補助導電膜を、前記アレイ領域の最外周の下部電極から成膜活性種の拡散距離以下の距離を隔てて、アレイ領域から外側に結晶核形成可能な幅以上の幅で形成し、その後、形成された下部電極および結晶化補助導電膜上に前記金属酸化物誘電体膜を成膜することを特徴とする半導体装置の製造方法。

【請求項12】 前記結晶化補助導電膜を、前記アレイ領域の最外周の下部電極から $10\ \mu\text{m}$ 未満の距離に設けることを特徴とする請求項11記載の半導体装置の製造方法。

【請求項13】 前記結晶化補助導電膜を、前記アレイ領域から外側に $20\ \mu\text{m}$ 以上の幅で設けられていることを特徴とする請求項11または12記載の半導体装置の製造方法。

【請求項14】 半導体基板上に、下部電極、 ABO_3 で表されるペロブスカイト型の金属酸化物誘電体膜および上部電極が順に積層された容量素子が複数個集まったアレイ領域として存在している半導体装置の製造方法において、

前記下部電極が形成される絶縁膜上に、前記金属酸化物誘電体膜の成膜の際に成膜活性種形成の触媒作用のある材料で形成された結晶化補助導電膜を、半導体装置面積の10%以上を被覆するように設けることを特徴とする半導体装置の製造方法。

【請求項15】 前記下部電極および前記結晶化補助導電性膜が、それぞれPt、Ir、Ru、IrO₂およびRuO₂からなる群より選ばれる導電材料を表面層として有することを特徴とする請求項11～14のいずれかに記載の半導体装置の製造方法。

【請求項16】 前記結晶化補助導電膜および前記下部電極を形成する材料として同一の導電材料を用い、前記絶縁膜上に、この導電材料を成膜した後、エッチングにより前記下部電極と前記結晶化補助導電膜を同時に所定パターン形状に形成することを特徴とする請求項11～15のいずれかに記載の半導体装置の製造方法。

【請求項17】 前記 ABO_3 で表されるペロブスカイト型の金属酸化物誘電体膜が、A元素としてPbを含むことを特徴とする請求項11～16のいずれかに記載の半導体装置の製造方法。

【請求項18】 前記金属酸化物誘電体膜が、PZT膜である請求項17記載の半導体装置の製造方法。

【請求項19】 前記金属酸化物誘電体膜の成膜の際に、成膜初期の成膜条件である第一の成膜条件とその後の成膜条件である第二の成膜条件とが異なることを特徴とする請求項11～18のいずれかに記載の半導体装置の製造方法。

【請求項20】 前記第一の成膜条件で、金属酸化物誘電体の原料となる有機金属材料ガスのすべてを用いて、

前記下部電極および前記結晶化補助導電膜上にペロブスカイト型結晶構造の初期核または初期層の形成を行い、第二の成膜条件で、この初期核または初期層上にさらにペロブスカイト型結晶構造の膜成長を行うことを特徴とする請求項19記載の半導体装置の製造方法。

【請求項21】 前記第一の成膜条件で、金属酸化物誘電体の原料となる有機金属材料ガスの一部のみを用いて、前記導電性材料上にペロブスカイト型結晶構造の初期核または初期層の形成を行い、第二の成膜条件で、この初期核または初期層上にさらにペロブスカイト型結晶構造の膜成長を行うことを特徴とする請求項19記載の半導体装置の製造方法。

【請求項22】 前記第二の成膜条件を自己制御性の良い原料ガス供給条件で成膜し、前記第一の成膜条件で、前記A元素の原料を第二の成膜条件のときよりも多量に原料供給することを特徴とする請求項20または21記載の半導体装置の製造方法。

【請求項23】 前記B元素としてZrとTiの両方を含む場合に、前記第二の成膜条件と比較して前記第一の成膜条件において、Zr原料ガスをTi原料ガスに比べて供給量を減らした条件で成膜することを特徴とする請求項20～22のいずれかに記載の半導体装置の製造方法。

【請求項24】 前記B元素としてZrとその他の元素を含む場合に、第一の成膜条件でZrの原料ガスを供給しない条件で成膜することを特徴とする請求項20～22のいずれかに記載の半導体装置製造方法。

【請求項25】 第一の成膜条件での初期核または初期層の形成時間を制御することにより、結晶粒径を制御しながら成膜することを特徴とする請求項20～22のいずれかに記載の半導体装置の製造方法。

【請求項26】 成膜時の有機金属材料ガスを含む原料ガスの全圧を1Pa以下の圧力に保ちながら成膜することを特徴とする請求項19～25のいずれかに記載の半導体装置の製造方法。

【請求項27】 前記成膜時の成膜温度が450℃以下であることを特徴とする請求項26記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は容量素子を有する半導体装置およびその製造方法に関し、特に有機金属材料ガスを用いた、半導体集積回路のキャパシタに用いられる高誘電体膜、強誘電体膜にかかる構造およびその成膜方法に関するものである。

【0002】

【従来の技術】 近年、強誘電体容量を利用した強誘電体メモリーや、高誘電体容量を利用したダイナミック・ランダム・アクセス・メモリー(DRAM)等が活発に研究開発されている。これらの強誘電体メモリーおよびD

RAMは選択トランジスタを備えており、該選択トランジスタの一方の拡散層に接続された容量をメモリセルとして情報を蓄えている。強誘電体容量は容量絶縁膜としてPb(Zr,Ti)O₃(以下「PZT」と呼ぶ)等の強誘電体膜を用いており、強誘電体を分極させることにより不揮発性の情報を蓄えることができる。一方、高誘電体容量は、容量絶縁膜として(Ba,Sr)TiO₃(以下「BST」と呼ぶ)等の高誘電体薄膜を用いているため、容量のキャパシタンスを高めることができ、10 素子を微細化することが可能になる。半導体素子にこの様なセラミック材料を使用する上で、下部電極となる結晶化補助導電膜上に堆積されたこの様なセラミック材料を微細な容量として電気的に分離することが極めて重要である。

【0003】 薄膜の堆積方法として従来ゾルゲル法、スペッタ法、CVD法が報告されている。

【0004】 ゾルゲル法は、有機溶剤に溶かした有機金属材料をスピンドルコート法によって、下部電極を形成したウエハー上に塗布し、酸素中アーチ放電によって結晶化させる方法である。この方法では、固相内で結晶化が起こるために、結晶化に必要な温度は非常に高く、金属酸化物誘電体膜がPZTの場合、十分な強誘電体特性を示す結晶化温度は600℃であり、BSTの場合、充分な高誘電体特性を示す結晶化温度は650℃である。このときの結晶の配向性も不揃いであるといった欠点を有する。さらに、ゾルゲル法は大口径ウエハーに対応するのが難しく、また、段差被覆性が悪く、デバイスの高集積化には向かない。

【0005】 次にスペッタ法は、ターゲットとして、成膜するセラミックスの焼結体を用い、Ar+O₂プラズマを用いた反応性スペッタによって、電極を形成したウエハー上に成膜し、その後、酸素中アーチ放電によって結晶化を行う方法である。ターゲットを大口径化することによって均一性が得られ、プラズマ投入パワーを上げることによって十分な成膜速度が得られる。しかし、スペッタ法においても、結晶化に高温を要するといった欠点があり、金属酸化物誘電体膜がPZTの場合、十分な強誘電体特性を示す結晶化温度は600℃であり、BSTの場合、充分な高誘電体特性を示す結晶化温度は650℃である。さらに、スペッタ法では組成が、ターゲットの組成によってほとんど決まってしまうために、組成を変化させるにはターゲットの交換が必要であり、工程的に不利である。

【0006】 次にCVD法は、原料をガスの状態で加熱した基板を配した容器に輸送し、成膜するものである。CVD法は、大口径ウエハーにおける均一性および表面段差に対する被覆性に優れ、ULSIに応用する場合の量産化技術として有望であると考えられる。セラミックスの構成元素である金属はBa、Sr、Bi、Pb、Ti、Zr、Ta、Laなどで、適当な水素化物、塩化物

が少なく、気相成長法には有機金属が用いられる。しかし、これらの有機金属は蒸気圧が低く、室温では固体もしくは液体のものが多く、キャリアガスを使った輸送方法が用いられている。

【0007】しかしながら、このような方法をとる場合、キャリアガス中の有機金属材料ガス流量を定量化し、かつ正確に流量を制御することが困難であるといった欠点がある。すなわち、キャリアガス中には、原料槽の温度で決定される飽和蒸気圧以上の有機金属原料ガスが含まれ、この流量はキャリアガス流量だけでなく、原料固体の表面積、恒温槽の温度等に依存するためである。また、ジャパン・ジャーナル・オブ・アプライド・フィジックス32巻4175ページ(Jpn. J. Appl. Phys. Vol. 32 (1993) P. 4175)に掲載の、この成膜方法を用いたPTO(チタン酸鉛: PbTiO₃)の成膜についての記述によれば、PTOの成膜温度は570°Cとやはり非常に高温であり、また、配向性も揃っていないといった欠点を有する。

【0008】これまでの強誘電体メモリーおよびDRAMの形成においては、上記のような成膜方法が用いられているが、酸素雰囲気中で600°C程度以上の高温加熱が不可欠であり、また配向性の制御を行うことも困難であった。

【0009】半導体装置の構造的な側面について説明すると、強誘電体容量および高誘電体容量を機能させるためには、選択トランジスタの拡散層に容量のどちらか一方の電極を電気的に接続する必要がある。従来、DRAMにおいては、選択トランジスタの一方の拡散層に接続されたポリシリコンを容量の一方の電極とし、該ポリシリコンの表面に容量の絶縁膜としてSiO₂膜やSi₃N₄膜等を形成し、容量とする構造が一般的である。しかしながら、セラミック薄膜は酸化物であるため、ポリシリコンの表面に直接形成しようとするとポリシリコンが酸化されるため、良好な薄膜を形成することができない。そのため、1995シンポジウム・オン・ブイエルエスアイ・ダイジェスト・オブ・テクニカル・ペーパーズ(1995 Symposium on VLSI Technology Digest of technical Papers) pp. 123ではA1等からなるメタルの局所配線により、容量上部電極と拡散層とを接続するセル構造が述べられている。また、インターナショナル・エレクトロン・デバイス・ミーティング・テクニカルダイジェスト(International electron devices meeting technical digest) 1994, p. 843には、ポリシリコン上にTiNバリアメタルを用いてPZT容量を形成する技術が述べられている。DRAMについては、例えば、インターナショナル・エレクトロン・デバイス・ミーティング・テクニカルダイ

ジェスト(International electron devices meeting technical digest) 1994, p. 831には、ポリシリコンプラグ上に形成されたRuO₂/TiN下部電極上にSTO(チタン酸ストロンチウム: SrTiO₃)薄膜を成膜し、容量を形成する技術が述べられている。

【0010】

【発明が解決しようとする課題】しかし、微細化を進めるに当たり、従来の強誘電体膜または高誘電体膜の製造方法では、前述したように高い結晶化温度が必要である問題と、次に説明するようなエッティング加工に伴う問題点があった。

【0011】従来、高誘電体もしくは強誘電体メモリー容量の加工は、まず図17(A)に示すように、半導体基板110上に素子分離領域111、ソース・ドレイン領域112、ゲート電極113等を形成した後、図17(B)に示すように、層間絶縁膜114を堆積しメタルプラグ115を形成した上に、下部電極膜101、容量絶縁膜102および上部電極膜103を順次成膜する。その後、ドライエッティングによって、上部電極から下部電極膜まで切ることにより分離を行っていた。

【0012】高誘電体または強誘電体メモリー容量の下部電極としては、Pt、Ir、Ru等の貴金属やこれらの酸化物が用いられることが多く、これらの物質の反応性エッティングが難しいため、ミリングによる下部電極エッティングが一般的に行われる。そして、下部電極膜をエッティングするときは、容量絶縁膜102の端が露出した状態で行うことになる。しかし、図17(B)までの工程の後、垂直にエッティングを進めて行った場合、下部電極膜のエッティング時にミリングによる下部電極膜のエッティング残差が生じ、これが容量絶縁膜102の露出した端に付着して容量ショートの原因となることが指摘されている。

【0013】そこで、図17(B)までの工程後のエッティング方法として、図17(C)に示すようにエッティング部にテーパ104を付けて容量絶縁膜端部をスパッタしながらエッティングすることにより容量ショートを避ける方法が一般的に用いられている。しかし、この方法では、容量絶縁膜端部には大きなエッティングダメージが入る。容量面積が小さくなると、このダメージ部の容量面積全体に対する比率が増えるため、エッティングによる容量の劣化が深刻な問題となる。また、テーパを設けてエッティングを行うため微細化には向かない。

【0014】そこで、本出願人は、特願平11-053239号において、図18(A)に示すように、先に下部電極膜105をエッティングして所定形状の下部電極を形成した後、図18(B)に示すように容量絶縁膜106および上部電極膜107を成膜し、上部電極膜のみエッティング除去して所定形状の上部電極とする方法を提案

している。このような構造にすれば、図17(C)に示したような容量絶縁膜106の端部のエッティングが不要となるため、先に述べた容量絶縁膜端部でのエッティングダメージを防ぐことができる。また、上部電極をプレート線として加工することができ、従来のように上部電極上にさらにプレート線を配する必要が無く、製造コストの低減を図ることができる。さらに、プレート線形成時に誘起される強誘電体膜の劣化を最小にするという効果が得られる。また、エッティング時にテープを設ける必要が無く、微細化に向いているという特長がある。

【0015】しかしこの方法でも、容量絶縁膜の形成をゾルゲル法、スパッタ法によって行う限り、600°C以上の高い結晶化温度が必要である。このような高い温度を用いると、電極以外のシリコン酸化膜露出部分で、容量絶縁膜を構成している金属とシリコン酸化膜が反応し、先に分離した下部電極間が絶縁不良を起こすという問題点が生じる。また、金属は、シリコン酸化膜中を拡散し、下部トランジスタの特性を著しく劣化させるという問題が生じる。

【0016】一方、高い結晶化温度を必要としない方法として、本発明者は、特願平10-219184号(本出願時未公開)にて、形成温度を450°C以下にできる金属酸化物誘電体膜の気相成長方法を提案している。この方法によれば、シリコン酸化膜露出部との反応を抑制でき、上述の問題点を解決することができる。

【0017】しかし、さらに詳細に検討を進めた結果、シリコン酸化膜上に所定の形状の下部電極を形成した後、有機金属原料による気相成長方法を用いて容量絶縁膜を成膜すると、微細に分離された下部電極上で容量絶縁膜の結晶化が起こらない箇所が生じる場合があった。セラミックス容量膜は結晶化することによってはじめて、高誘電率、強誘電性等の優れた特性を有するため、結晶化が起こらないと、微細な容量電極上で十分な容量もしくは自発分極が得られないという問題が生じる。

【0018】本発明は、このような技術をさらに改良するためになされたものであり、素子構造が微小化された場合であっても、特性および信頼性に優れた容量素子を有する半導体装置を提供することを目的とする。

【0019】また、本発明は、容量素子を有する半導体装置のノイズ耐性に優れた構造を提供することを目的とする。

【0020】さらに本発明は、素子構造が微小化された場合であっても、金属酸化物誘電体、特にペロブスカイト構造の結晶化を低温にて確実に行い、特性および信頼性に優れた容量素子を有する半導体装置の製造方法を提供することを目的とする。

【0021】さらに本発明は、容量素子を有する半導体装置のノイズ耐性に優れた構造の製造方法を提供することを目的とする。

【0022】

【課題を解決するための手段】本発明は、半導体基板上に、下部電極、 ABO_3 で表されるペロブスカイト型の金属酸化物誘電体膜および上部電極が順に積層された容量素子が複数個集まったアレイ領域を有する半導体装置において、前記金属酸化物誘電体膜の成膜の際に成膜活性種形成の触媒作用のある材料で形成された結晶化補助導電膜が、前記アレイ領域の最外周の下部電極から成膜活性種の拡散距離以下の距離を隔てて、アレイ領域から外側に結晶核形成可能な幅以上の幅で形成されていることを特徴とする半導体装置に関する。

【0023】また本発明は、半導体基板上に、下部電極、 ABO_3 で表されるペロブスカイト型の金属酸化物誘電体膜および上部電極が順に積層された容量素子が複数個集まったアレイ領域として存在している半導体装置において、前記金属酸化物誘電体膜の成膜の際に成膜活性種形成の触媒作用のある材料で形成された結晶化補助導電膜が、半導体装置面積の10%以上を被覆するように設けられていることを特徴とする半導体装置に関する。

【0024】本発明において、前記結晶化補助導電膜は、前記下部電極と同一レベルの平面内に形成されても、高さの異なる平面内に形成されていても良い。

【0025】どちらの場合も、前記結晶化補助導電膜が、前記金属酸化物誘電体膜の成膜直前に露出している面内に形成されていることが好ましい。

【0026】さらに本発明は、半導体基板上に、下部電極、 ABO_3 で表されるペロブスカイト型の金属酸化物誘電体膜および上部電極が順に積層された容量素子が複数個集まったアレイ領域を有する半導体装置の製造方法において、絶縁膜上に、前記下部電極と、前記金属酸化物誘電体膜の成膜の際に成膜活性種形成の触媒作用のある材料で形成された結晶化補助導電膜を、前記アレイ領域の最外周の下部電極から成膜活性種の拡散距離以下の距離を隔てて、アレイ領域から外側に結晶核形成可能な幅以上の幅で形成し、その後、形成された下部電極および結晶化補助導電膜上に前記金属酸化物誘電体膜を成膜することを特徴とする半導体装置の製造方法に関する。

【0027】さらに本発明は、半導体基板上に、下部電極、 ABO_3 で表されるペロブスカイト型の金属酸化物誘電体膜および上部電極が順に積層された容量素子が複数個集まったアレイ領域として存在している半導体装置の製造方法において、前記下部電極が形成される絶縁膜上に、前記金属酸化物誘電体膜の成膜の際に成膜活性種形成の触媒作用のある材料で形成された結晶化補助導電膜を、半導体装置面積の10%以上を被覆するように設けることを特徴とする半導体装置の製造方法に関する。

【0028】本発明の製造方法では、前記結晶化補助導電膜および前記下部電極を形成する材料として同一の導電材料を用い、前記絶縁膜上に、この導電材料を成膜した後、エッティングにより前記下部電極と前記結晶化補助

導電膜を同時に所定パターン形状に形成することが好ましい。

【0029】また本発明の製造方法では、前記金属酸化物誘電体膜の成膜の際に、成膜初期の成膜条件である第一の成膜条件とその後の成膜条件である第二の成膜条件とが異なることが好ましい。

【0030】その方法として、前記第一の成膜条件で、金属酸化物誘電体の原料となる有機金属材料ガスのすべてを用いて、前記下部電極および前記結晶化補助導電膜上にペロブスカイト型結晶構造の初期核または初期層の形成を行い、第二の成膜条件で、この初期核または初期層上にさらにペロブスカイト型結晶構造の膜成長を行う製造方法を挙げることができる。

【0031】あるいは、前記第一の成膜条件で、金属酸化物誘電体の原料となる有機金属材料ガスの一部のみを用いて、前記導電性材料上にペロブスカイト型結晶構造の初期核または初期層の形成を行い、第二の成膜条件で、この初期核または初期層上にさらにペロブスカイト型結晶構造の膜成長を行う製造方法を挙げができる。

【0032】

【発明の実施の形態】本発明者は、シリコン酸化膜上に複数の下部電極を形成した後、有機金属原料による気相成長方法を用いて容量絶縁膜を成膜すると、微細に分離された下部電極上で容量絶縁膜の結晶化が起らぬ箇所が生じる理由について検討を進めた。

【0033】図1は、容量素子を形成する際の、所定の材料で形成された下部電極膜をエッチングして所定のパターンの下部電極を形成した段階を示す図である。図1(A)はウェハー全体を示すもので、ウェハー301上に多数のチップ302が形成される。チップ302の中には、容量素子が多数形成された下部電極アレイ303が存在している。図1(B)は、その下部電極アレイ303部分の拡大図であり、図に示すように下部電極アレイ303の中には多数の下部電極304が設けられている。

【0034】実際の電子デバイスにおいて、下部電極面積はチップ面積に比べて1/10から1/1000程度と極めて小さく、下部電極を分離形成した状態(図1の状態)で、ウェハーの大半の領域は絶縁膜であるシリコン酸化膜が露出した状態になっている。

【0035】本発明者の検討では、下部電極の材料を用いて下部電極膜を広い面積で成膜した後に、その上に容量絶縁膜を形成すると容易に結晶化が起こるのに対して、シリコン酸化膜等の絶縁膜上では結晶化が起らぬ。

【0036】金属酸化物誘電体膜の気相成長方法においては電極上で結晶核を形成することが重要である。すなわち、成長の初期段階で結晶核が生じないと、その後の結晶成長は起らぬ。成長の初期段階では、有機金属

原料ガスは下部電極上で反応分解するが、下部電極材料には特定の有機金属ガス分解に対して強い触媒作用があり、特定の有機金属ガスが、成膜に寄与する活性種に分解する反応を促進する働きがあると考えられる。シリコン酸化膜にはこのような触媒作用が乏しく、特定の有機金属ガスの活性種が激減する。これは、下部電極面積が小さくなつたときも同様で、核形成に必要な元素組成が微細な電極上で得られないで結晶化が妨げられる。そして、下部電極表面が容量絶縁膜によって覆われてしまうと、触媒作用はなくなり、組成は容量膜上での原料ガスの分解効率によって支配される。このため、微細化された下部電極上に金属酸化物誘電体を成膜しようとすると、アレイの中央部では結晶化が進みやすいのに対して、下部電極アレイ周辺の下部電極上では特に結晶化が起らぬ。

【0037】図2は、本発明における下部電極アレイおよび結晶化補助導電膜の1例を示したものである。このように、下部電極アレイ303の周囲に下部電極と同じように成膜活性種形成に触媒活性がある導電材料(即ち、結晶化補助導電膜305)を設けると、アレイ周辺の下部電極上でも結晶化が容易に進行する。これは、アレイの外側の結晶化補助導電膜においても成膜に寄与する活性種の分解反応が進むため、生じた活性種がアレイ周辺の下部電極に拡散によって広がり、アレイ周辺の下部電極上でも核形成に必要な組成が得られるためであると考えられる。

【0038】図3は、下部電極アレイの周囲を拡大した図(アレイ右上端部)である。アレイ端の下部電極から結晶化補助導電膜305までの距離dは、成膜活性種の拡散距離以下の距離である。成膜活性種の拡散距離とは、結晶核形成の際に必要な活性種が移動する距離であり、結晶化補助導電膜の触媒作用により分解反応が促進されて精製した活性種が2種以上あるときは、拡散距離の短い方の活性種の拡散距離によって規定される。この距離を越えた場所に結晶化補助導電膜を設けても効果が見られない。成膜活性種の拡散距離は、原料および成膜条件(圧力、温度)等によても異なるが、距離dを大きくしていくとアレイ周辺の方から結晶化しない容量素子が現れてくるので、結晶化する最大の距離をもって「成膜活性種の拡散距離」として、実験的に容易に求めることができる。成膜時の圧力が高いときは活性種が動きにくないので、成膜活性種の拡散距離は小さくなり、圧力が低いときは、活性種が動きやすいので成膜活性種の拡散距離は長くなる。

【0039】鉛元素を含む酸化物誘電体を形成する場合は、 $1 \times 10^{-2} \sim 1 \times 10 \text{ Pa}$ 程度の圧力、300~450°C程度の温度条件では、「成膜活性種の拡散距離」は、一般的には20 μm以下の範囲で見出しができる。従つて、アレイ端の下部電極から結晶化補助導電膜までの距離dは、好ましくは10 μm未満、特に好まし

くは $8 \mu\text{m}$ 以下、最も好ましくは $5 \mu\text{m}$ 以下の範囲で適宜設定すればよい。

【0040】一方、距離dは、核形成の観点からはいくら狭く設定しても通常は問題なく、少なくとも下部電極と電気的に絶縁分離できるだけの距離以上であり、一般的には下部電極同士の分離幅（図3中のq）以上の距離とすればよい。従って、アレイ端の下部電極から結晶化補助導電膜までの距離dは、通常は下部電極同士の分離幅q以上で $10 \mu\text{m}$ 未満、好ましくは $5 \mu\text{m}$ 以下の範囲で適宜設定すればよい。

【0041】また、結晶化補助導電膜は、核形成に必要な活性種の量を与えるだけの面積が必要であり、下部電極アレイから外側方向に少なくとも一定の幅、即ち初期核形成が可能になる幅（以下、結晶核形成可能幅といふ。これは、成膜条件によっても変わる。）以上が必要である。従って、図3の結晶化補助導電膜305の幅Wは、この結晶核形成可能幅以上の長さが必要である。例えば幅Wを次第に狭くしていくときに、アレイ周辺の方から結晶化しない容量素子が現れてくるので、結晶化する最大の距離をもって「結晶核形成可能幅」として、実験的に容易に求めることができる。

【0042】鉛元素を含む酸化物誘電体を形成する場合は、上記と同じ $1 \times 10^{-2} \sim 1 \times 10 \text{ Pa}$ 程度の圧力、 $300 \sim 450^\circ\text{C}$ 程度の温度条件では、条件によつても多少異なるが、通常 $15 \mu\text{m}$ 以上、好ましくは $20 \mu\text{m}$ 以上、さらに好ましくは $30 \mu\text{m}$ 以上である。幅Wを狭くしなければならない理由がない限り、 $100 \mu\text{m}$ 以上、さらに $500 \mu\text{m}$ 以上としてもよい。さらに、導電膜が存在していると不都合な箇所を除いて、半導体装置全面を覆うように形成しても良い。

【0043】本発明において、下部電極と結晶化補助導電膜は、後述する実施例で示すように、共に同一レベルの平面内、即ち、平坦化された絶縁膜上に形成される場合が多いが、下部電極が形成される箇所と結晶化補助導電膜が形成される箇所で高低差があつてもよい。つまり、アレイ周辺の下部電極と結晶化補助導電膜の距離が成膜活性種の拡散距離以下であれば、高低差があつても活性種の移動には影響がない。また、結晶化補助導電膜自体が高低差を有していても、本発明の条件を満たす限り、結晶化補助導電膜としての効果を奏すことができる。

【0044】本発明の要旨はこのように、(a)下部電極と同材料の結晶化補助導電膜が、(b)アレイ周辺の下部電極上でも結晶化が確実に起こることが保証される距離内に、(c)結晶化が起こるだけ面積および形状で設かれている点にある。従つて、この要旨を満たす限り、結晶化補助導電膜は種々の形状をとることが可能であり、次に示すいくつかのパターン例に限らず、本発明の上記要旨を満たす限り本発明に含まれるものである。以下の例では、主としてアレイ右上端の拡大図で示す。

【0045】図4は、下部電極および結晶化補助導電膜のパターンの1例を示す図である。この例では、図3のパターンから角の結晶化補助導電膜を除いたものである。このようにしても、アレイ端（特に四角）の下部電極でも十分に結晶化が起こる。

【0046】図5(A)は、下部電極アレイの周囲に、下部電極304と同じパターンの結晶化補助導電膜305（ダミーの下部電極）を形成したものである。このダミーの下部電極は、容量素子としては使用しない。この10図では、アレイの外側にダミーの電極として3列だけ示しているが、ダミーの電極の集まりの幅Wが、外側に結晶核形成可能幅以上となるように設定する。このように、下部電極アレイの周囲に、アレイ中の下部電極と同一のパターン、ピッチで、結晶化補助導電膜としてダミー下部電極が形成されていると、下部電極アレイとダミー下部電極で熱の放射率パターンが同一となるので、成膜のための基板加熱時に下部電極アレイ内での熱分布が均一化される。また、成膜時の下部電極上での活性種濃度が、アレイ内で均一になるため、アレイ中心の下部電極と周辺の下部電極を比べても、金属酸化物誘電体膜の膜質や膜厚の均一性が極めて向上する効果が得られる。

【0047】また、図5(B)のように下部電極304より大きいパターンを多数形成して結晶化補助導電膜305としてもよい。また、図6に示すように、結晶化補助導電膜305に隙間（または開孔）が設けられていてもよい。

【0048】本発明では、図5、図6で示すように、結晶化補助導電膜が分離されてたり、隙間（または開孔）が設けられていてもよいが、このとき、分離幅L₁30（図5(B)）、隙間L₃（図6）は、前述の成膜活性種の拡散距離以下であることが好ましい。隙間L₁、L₃が活性種の拡散距離より大きいときは、アレイより遠くにある結晶化補助導電膜は、成膜には寄与しない。この場合、図6のアレイ側の結晶化補助導電膜幅W₁が、結晶核形成可能幅以上の幅であれば、結晶化は問題なく起こる。このような場合は、部分的に幅が異なる結晶化補助導電膜が形成されている場合と同じである。

【0049】図5(B)のように結晶化補助導電膜が分離されて離散的に存在している場合に、図中L₂で示した距離は、アレイ近傍で「アレイ領域の最外周の下部電極から成膜活性種の拡散距離以下の距離」という条件を満たしていればよい。

【0050】尚、下部電極アレイのパターン形状は、通常は図1に示すような正方形または長方形の下部電極をマトリックス状に配列する場合が多いが、このようなパターン限られるものではなく、その際、その周囲に設けられる結晶化補助導電膜の形状も、下部電極アレイのパターンに合わせて、アレイ領域の最外周の下部電極から成膜活性種の拡散距離以下の距離を隔てて、アレイ領域50から外側に結晶核形成可能な幅以上の幅になるように適

宜変更することができる。

【0051】尚、下部電極および結晶化補助導電膜は、層間絶縁膜等の絶縁膜上に形成され、下部電極は、絶縁膜中に設けられたコンタクトプラグ等により接続がとられている。絶縁膜としては、シリコン酸化膜、シリコン窒化膜、その他層間絶縁膜として用いられる絶縁膜等が用いられる。下部電極間の分離幅は0.01μm以上あれば十分に電気的絶縁を保つことができる。しかし、分離幅が狭すぎると、誘電体膜中の電界により隣接容量同士が誤動作する可能性があり、最適条件を選ぶ必要がある。

【0052】本発明において、下部電極および結晶化補助導電膜は、単層膜または多層膜のどちらでも取りうるが、実際の半導体装置においては、種々の理由により多層膜である場合が多い。どちらの場合でも、下部電極および結晶化補助導電膜の表面層（金属酸化物誘電体膜を形成する面）が、有機金属材料を材料を用いた気相成長の際に化学的に触媒として働きうる導電材料で形成されていればよい。このような導電材料としては、Pt、Ir、Ru、Ti、W等の高融点金属、その酸化物およびその窒化物等を挙げることができる。具体的にはPt、Ir、Ru、IrO₂、RuO₂、TiN、WNが好ましく、特にPt、Ir、Ru、IrO₂、RuO₂が好ましい。

【0053】多層構造としたときの下地層は、適宜選ぶことができるが、Ptの下地が、Tiの上にTiN積層したPt/TiN/Ti構造の場合、TiNがTiの拡散を抑えるバリアとして働く。さらに、この構造このTiNが高度に(111)に配向した結晶構造をとるために、Ptも(111)に配向するが、従来の成膜方法とは異なり、本願発明の気相成長方法を用いた場合、金属酸化物誘電体膜も配向しやすく、さらに結晶性も良いといった利点がある。コンタクトプラグ内にはWも通常用いられており、さきの構造のさらに下層にW層を設けたPt/TiN/Ti/W構造も、本発明の下地電極および結晶化補助導電膜として好適に用いることができる。

【0054】本発明において、下部電極材料と結晶化補助導電膜材料を同一の材料で形成しても、異なる材料で形成してもどちらでもよい。しかし、製造工程の簡略化のためには同一の材料として、半導体基板上に形成された絶縁膜上に（絶縁膜は高低差を有していても良い。）、下部電極膜を成膜し、その後、下部電極をパターニングするのと同時に結晶化補助導電膜をパターニングすることが好ましい。

【0055】本発明で容量絶縁膜として用いられるABO₃で表されるペロブスカイト型の金属酸化物誘電体としては、STO [SrTiO₃]、BTO [BaTiO₃]、BST [(Ba, Sr)TiO₃]、PTO [PbTiO₃]、PLT [(Pb, La)TiO₃]、PZT [Pb(Zr, Ti)O₃]、PLZT [(Pb, L

a) (Zr, Ti)O₃]、PNbT [(Pb, Nb)TiO₃]、PNbZT [(Pb, Nb)(Zr, Ti)O₃]、およびこれらの金属酸化物中にZrが含まれる場合にはZrをHf、MnまたはNiの少なくとも1種によって置き換えた金属酸化物等をあげることができる。

【0056】この中でも、A元素としてPbを含むものが好ましく、特にPTO、PLT、PLZT、PNbT、PNbZT、およびこれらの中でZrが含まれる場合にZrをHf、MnまたはNiの少なくとも1種によって置き換えた金属酸化物が好ましい。

【0057】本発明では、このようなABO₃で表されるペロブスカイト型結晶構造を有する金属酸化物誘電体膜を成長する方法として、結晶核の形成が結晶化補助導電膜により促進されるような成膜方法であれば、どのような成膜方法でも適用しうるが、成膜初期の第1の成膜条件と、その後の成膜における第2の成膜条件とが異なる成長方法が好ましい。即ち、従来のような導電性材料上に同一の条件で成膜を行う成長方法に対して、電極上にペロブスカイト型結晶構造の初期核形成または初期層形成を行う第一の成膜条件と、その後に、形成された初期核上にペロブスカイト型結晶構造の膜成長を行う第二の成膜条件とで成膜条件を変え、それぞれ最適な条件を選んで成膜することが好ましい。このような条件下で成膜することにより、配向性、結晶性、反転疲労ともに優れた薄膜を形成することが可能となる。ここで初期核とは、結晶核がアイランド状態で存在している状態であり、また、初期層とは、初期核が集まって連続層となつた状態である。いずれの場合も、適当な条件で成膜することにより、良好な結晶核を含むものである。

【0058】このような成膜方法として、例えば、(a) 第一の成膜条件で、金属酸化物誘電体の原料となる有機金属材料ガスのすべてを用いて、前記導電性材料上にペロブスカイト型結晶構造の初期核または初期層の形成を行い、第二の成膜条件で、この初期核または初期層の上にさらにペロブスカイト型結晶構造の膜成長を行う方法、および(b) 第一の成膜条件で、金属酸化物誘電体の原料となる有機金属材料ガスの一部のみを用いて、前記導電性材料上にペロブスカイト型結晶構造の初期核または初期層の形成を行い、第二の成膜条件で、この初期核または初期層上にさらにペロブスカイト型結晶構造の膜成長を行う方法を挙げることができる。

【0059】一般にペロブスカイト型結晶構造は、ABO₃で表されA元素はAサイトに入り、B元素はBサイトに入る。ここで、前記一般式中のA元素およびB元素としては複数の金属元素を含む場合もある。このようなペロブスカイト型結晶構造を有する金属酸化物誘電体膜を導電性材料上に気相成長を行う場合、上記(a)の金属酸化物誘電体膜を構成する元素の原料ガス種を全部用いて、第一の成膜条件で成膜する場合は、第一の成膜条

件で初期核または膜厚方向に数分子程度結晶化した初期層のいずれかのペロブスカイト型結晶を形成した後に、自己制御性をもった原料ガス供給条件である第二の成膜条件で、さらに該初期核または該初期層の上に結晶を成長させることによって、導電性材料との界面より、配向性の揃ったペロブスカイト型結晶構造の成膜が可能となる。

【0060】ここで自己制御性のある成膜条件とは、組成が自発的に化学量論比に合い、配向の揃ったペロブスカイト型結晶構造が発生する原料ガス供給条件がある。例えば、P Z Tを成膜する場合の自己制御性をもった成膜条件について図16を用いて説明する。この図には、はじめにP b (DPM) 2流量0. 2 S C C M、Z r (O t B u) 4流量0. 05 S C C M、T i (O i P r) 4流量0. 25 S C C M、NO₂流量3. 0 S C C Mの条件で40秒間成膜した後、Z r (O t B u) 4流量0. 225 S C C M、T i (O i P r) 4流量0. 2 S C C M、NO₂流量3. 0 S C C Mを一定にして、P b 原料流量を変化させたときの膜中の(T i + Z r) / P b 組成比の変化が示されている。

【0061】この時の成長中の真空容器内のガスの全圧は、 5×10^{-1} Paとした。基板としてはシリコン酸化膜を500 nm形成したシリコンウェハー上に、スパッタ法によりP t 膜を200 nm形成したものを用いた。成膜時間は600秒間とし、この時の成長膜厚は約100 nmであった。組成比は蛍光X線による組成分析より求めた。組成比はP b 流量が0. 15 S C C Mのときに化学量論比に達するが、その後、P b 流量を0. 25 S C C Mまで増加させても化学量論比を保っており、配向性の揃ったペロブスカイト構造の結晶ができていることがわかる。

【0062】このように一定の成膜条件内でA、BサイトすなわちP b とZ r 、T i の組成を化学量論比に合わせる自己制御的な成膜が可能であることがわかる。これは、次のような原理に基づく、P b 有機金属材料ガスは、P Z T表面で分解し、酸化されてP b Oとなる。P Z T上のP b Oの付着係数は低く、P b 有機金属材料ガスをP Z T表面に流すだけでは成膜は起こらない。ここに、T i およびZ r を供給すると、表面上のP b Oは気相中に脱離する前に表面上でT i もしくはZ r と結合し、表面上に固定される。従って、ある程度過剰にP b 原料を送ってもT i 、Z r と結合できないP b は気相中に脱離するので、化学量論比が一致する自己制御領域があるのである。

【0063】P t やI r といった電極上にP Z T 、B S T等のペロブスカイト金属酸化物誘電体薄膜を成膜する上で最も重要であるのは、P t やI r といった結晶構造が異なる基板上にペロブスカイトの結晶核を発生させることである。電極上へのペロブスカイト金属酸化物誘電体薄膜は、はじめに電極上で原料ガスの分解が起こり、

構成元素の活性種が吸着し、これが合体して結晶核を形成し、この結晶核が成長し、合体層状化するという成長様式を取る。特に、結晶核が成長する時、構成元素の膜形成活性種の電極表面上での濃度は、下地電極上での原料の分解効率および付着係数、さらには、電極中へのこれらの拡散によって決まり、この表面濃度を成膜しようとしている物質の化学量論比に合わせなければ、ペロブスカイトの結晶核発生を起こすことができない。下地電極上での原料ガスの分解効率、および付着係数はP Z T

10 結晶状とは異なり、たとえ、厚膜形成後の膜の組成を化学量論比に合わせるように成膜条件を決定したとしても、結晶成長で最も重要な下部電極上での結晶発生時に化学量論比が合わないために結晶化しないのである。

【0064】さらに本発明者は、Aサイトに入るA元素は、電極を構成する導電性材料と合金化しやすく、電極中に拡散しやすいことを見い出した。したがって、拡散により界面付近でA元素が欠乏する減少を防ぐために、第一の成膜条件については、A元素を多めに供給することが好ましい。このときのA元素の増加量は、自己制御性のあるガス供給条件で成膜する第二の成膜条件を基準として、第一の成膜条件では、B元素に対するA元素の供給量を、10倍程度までは、増加させることができ。このとき、A元素またはB元素がいくつかの元素で構成される多元系の場合は、それらの供給量の総和により決められる。例えば、P Z Tを成膜する場合、下部電極および結晶化補助導電膜上でP Z Tの核発生を起こすときの第一成膜条件を、その後P Z T結晶核上にP Z Tを自己制御的に成膜するときの第二の成膜条件よりも、30 P b 原料の供給量が多くなるように最適化することによって、構成元素の活性種の表面の濃度を成膜しようとしている物質の化学量論比に合わせ、電極上で結晶核を発生させ、この結晶核上に良好な結晶を成長する。

【0065】すなわち、構成元素の中でA元素であるP b が最も下地電極と反応しやすく電極から喪失しやすい。P b と下地電極との反応は、成膜温度、および電極材料で決まり、成膜温度を高くするほど、電極との反応が大きくなるために、P Z Tの核発生を起こすときの成膜条件におけるP b の供給量を多くすることが好ましい。また、P t は、I r やR u と比較して、P b との反応性が大きいために、より多くのP b 原料を供給する必要がある。B S Tの場合もP b ほど顕著ではないが、同様に、B a 原料を多く供給する必要がある。

【0066】特にB元素として、Z r とT i と両方の元素を用いる場合、Z r 原料をT i 原料に比べて少なくする方が結晶性のよいP Z T結晶核を形成できることを見い出した。これは、電極上におけるZ r 原料の分解効率がT i 原料に比べて大きいからである。

【0067】次に前述の(b)の方法では、第一の成膜50 条件でA元素またはB元素の原料ガスの一部を用いて初

期核または初期層の形成を行って、さらに第二の成膜条件でその初期核または初期層上に成膜することができる。これは、初期核または初期層形成時には、より単純な組成を持つ物質の方が、ペロブスカイトの核発生を起こすための成膜条件を制御しやすいからである。

【0068】例えば、P Z Tを成膜する場合、P T O、B S Tの場合は、B T OもしくはS T Oのように単純な組成を持つ2元系の物質の方が、ペロブスカイトの核発生を起こすための成膜条件を制御しやすい。これは、組成比の制御が特に2元だけで済むためである。このような核形成を行う上で、形成された核が成長して連続膜になる前（即ち、初期核が形成されている状態）にP Z TまたはB S Tの自己制御領域における第二の成膜条件に変えて成膜を行っても良いし、また連続膜（即ち、初期層の状態）になってから第二の成膜条件に変えてても良い。電極上で一旦ペロブスカイト型の結晶核ができてしまえば、構成元素の成膜活性種は、自己制御的にこの結晶核を中心に、結晶成長するために、結晶核上にP Z Tを自己制御的に成膜するときの第二の成膜条件を変えることによって良好な結晶を得ることができる。

【0069】また、第一の成膜条件での初期核または初期膜の形成時間を制御することにより、初期核上に成長する金属酸化物膜の結晶粒径（グレインサイズ）を制御できる。このような結晶粒径の制御を特に厳密に行うためには、第一の成膜条件で連続膜となる前の初期核形成までとどめておくことが好ましい。

【0070】ここで用いる有機金属材料ガスは、強誘電体または高誘電体特性を有するA B O₃で表されるペロブスカイト型結晶構造を形成する際に必要な有機金属の原料ガスであり、例えばP Z T膜であれば、鉛ビスマジピバリオイルメタナート（P b (D P M) ₂）、テトラターシャリーブトキシジルコン（Z r (O t B u) ₄）、テライソプロポキシチタン（T i (O i P r) ₄）等のガスが一例として挙げられる。例えば、B S T膜であれば、バリウムビスマジピバリオイルメタナート（B a (D P M) ₂）、ストロンチウムビスマジピバリオイルメタナート（S r (D P M) ₂）、テライソプロポキシチタン（T i (O i P r) ₄）等のガスが挙げられる。

【0071】また、有機金属材料ガスが、導電性材料上で合金化しないように表面上で十分酸化させ、酸素欠損を起させないために、有機金属材料ガスの他に、酸化ガスを使用することが好ましく、酸化ガスとして、二酸化窒素、オゾン、酸素、酸素イオン、酸素ラジカルを用いることができ、特に酸化力の強い二酸化窒素が好ましい。

【0072】本発明の成膜時の圧力は、成膜方法に合わせた圧力を適宜用いることができるが、前述の（a）および（b）による方法では、成膜時の全圧を1 Pa以下にすることが好ましく、低圧にすることにより、低温での成膜が可能であり、さらに高度に配向した膜の成膜が

可能である。尚、成膜速度等を考慮すると、圧力は 1×10^{-1} Pa以上が好ましい。これらの圧力範囲では、450°C以下であっても、ほぼ100%のP Z Tが、P Z T（100）の方位に配向していることを見い出した。この温度は、従来方法の成膜温度と比べて、150°C程度以上の低い成膜温度である。

【0073】次に本発明の異なる態様を説明する。この態様では、金属酸化物誘電体膜の成膜の際に成膜活性種形成の触媒作用のある材料で形成された結晶化補助導電膜が、半導体装置面積の10%以上を被覆するように設けられている。結晶化補助導電膜の面積を大きくすると、成膜室内の原料ガス分圧を安定化することができる。

【0074】気相成長において成膜の再現性を得るためにには成膜室内の原料ガス分圧を一定に保つ必要がある。下部電極上で核形成が起こる時、成膜室内の原料ガス分圧は、マスフローコントローラを介して成膜室内に供給される原料ガス量とポンプによって排気される量および基板上で成膜に消費される量によって決まる。下部電極表面における原料ガスの分解効率とシリコン酸化膜等の絶縁膜上における原料ガスの分解効率は大きく異なり、先に述べたように下部電極を先に加工して、基板上の下部電極とシリコン酸化膜の比率が大きく変わった場合、成膜室内の原料ガス分圧が大きく変化し、成膜の再現性が得られなくなる。

【0075】実際の電子デバイス製造工程では、様々な下部電極パターン上への成膜が必要であるが、パターンが変わることにより、下部電極とシリコン酸化膜等の絶縁膜の比率が変わり、原料ガス分圧が変化する。

【0076】そこで本発明のように、下部電極と同じように成膜の際に触媒作用のある材料で形成された結晶化補助導電膜の面積を大きくすると、下部電極の占める比率が変化しても、ウェハー上における下部電極材料（=下部電極+結晶化補助導電膜）が占める面積割合はほとんど変化しない。従って、成膜室内の原料ガス分圧は、デバイスパターンによらず安定し、再現性のよい成膜ができる。

【0077】一般に、容量素子アレイの占める面積は、チップとして切り出した半導体装置の1/10~1/100程度であり、最近は微細化にともない1/100程度が多くなってきている。従って、結晶化補助導電膜の面積を半導体装置面積の10%以上とすることで、成膜の安定化を図ることができる。成膜の安定化は結晶化補助導電膜の面積を大きくするほど効果が大きいので、20%以上、特に40%以上、さらに60%以上とすることが好ましい。

【0078】この場合、結晶化補助導電膜のパターン形状はどのようなものであってもよい。また、この場合も下部電極と結晶化補助導電膜が同一レベルの平面内にあることが多いが、金属酸化物誘電体膜の成膜直前に表面

に露出している限り、下部電極と結晶化補助導電膜の間にどのような高低差があってもよい。パターンの例として、例えば図1～図6等において、アレイ周囲の結晶化補助導電膜の面積やパターンの繰り返しを大きくすれば、前述の結晶化の効果と成膜の安定化の効果の両方が得られる。

【0079】この態様における結晶化補助導電膜の材料、製造方法等は前述のアレイ領域の最外周の下部電極から成膜活性種の拡散距離以下の距離に設けて結晶化を改良するための態様の場合と全く同様である。

【0080】さらに、結晶化補助導電膜に対して特定の電位を与えることも可能であり、例えば結晶化補助導電膜を接地すると、電子デバイスが高速動作時に生ずる外部ノイズによる読み取り誤動作が減少させることができる。これは、下部配線部において生じた電界が、接地された結晶化補助導電膜によって遮蔽され、容量部に影響を及ぼしにくくなるためであると推察される。

【0081】このような目的で用いるときには、結晶化補助導電膜の面積は特にできるだけ大きいほうが好ましい。

【0082】

【実施例】以下に実施例を示して、本発明をさらに具体的に説明する。

【0083】(成膜装置) 本発明で用いる薄膜気相成長装置の一例について概略図を図7に示す。この装置は交換室、真空容器、原料供給系を備えており、交換室には複数枚の8インチウエハーが収納できる。

【0084】真空容器406の材質は熱伝導の良いものが好ましく、例えば、アルミニウム、ステンレス等を使用できるが、特に熱伝導性の良いアルミニウムが好ましい。真空容器は、壁加熱手段であるヒータ416によって所定の温度に加熱できるようになっている。真空容器を熱伝導の良い材料によって形成することにより、真空容器内壁を均一に加熱することができる。

【0085】石英製のサセプター403の上には、ウエハー417がデバイスが形成面を上向きにして設置される。石英製サセプター403には、直径5mmの穴401が3点開いており、これを通して、石英製ピン402が上下して、ウエハーを搬送機からサセプター403に乗せ替える。ウエハーが石英製サセプター上にのった後は、これらのピン用の穴はウエハー自身によって塞がれる。石英製サセプター上にウエハーが設置された状態で、ウエハーワークのヒータ室405と上部の成長ガスの導入される真空容器406は分離される。

【0086】真空容器406の内壁は、前記のヒーター416(壁加熱手段)により、有機金属材料ガスが十分な蒸気圧を持つ温度以上でかつ有機金属材料ガスの分解温度以下の温度に設定できる。すなわち、有機金属材料ガスは数種の原料を含むため、有機金属材料ガスの一部または全部が液化または固化または非平衡的に付着する

ことにより、あるいは有機金属材料ガスが分解することにより、ウエハーに作用する有機金属材料ガスの組成比のバランスがくずれ、結晶構造が崩れることを防ぐことができる。また、壁に有機金属材料や分解物が付着し難いので、それが剥がれて生じるパーティクルの発生を防止することができる。そこで、有機金属材料ガスが内壁上で凝縮しない十分な脱離速度を持つ温度以上で、かつ分解する温度以下に制御することが好ましい。

【0087】この図で示した装置の例では、真空容器の10排気ラインとして、メイン排気ライン410とサブ排気ライン411の2つが設けられている。メイン排気ラインはメインゲートバルブ412を介してターボポンプ407につながっている。サブ排気ライン411はバルブ413を介し、さらに水冷トラップ414を通してターボポンプ407につながっている。成膜中はメインゲートバルブ412を閉じ、バルブ413を開けて、サブ排気ライン411を通して排気する。このような構成をとることによって、ターボポンプ407中での有機金属材料ガスの固化、液化を妨ぐことができるので、ターボポンプ407の寿命を延ばすことができる効果が得られる。また、サブ排気ライン411と、水冷トラップ414の間にコンダクタンスを調節できるバルブ415を導入し、このコンダクタンスを調節することによって、真空容器内の成膜ガスの全圧を変化させても良い。有機金属材料ガスを流さないときは、メインゲートバルブ412も開けることによって排気速度を高め、より高真空を維持できるという効果が得られる。また、これを使って、真空容器内の有機金属材料ガス分圧を急激に下げるができるという効果も得られる。メインゲートバルブ412、バルブ413は真空容器406内に埋め込んであり、均一に加熱できるようになっている。

【0088】図8には原料供給系の一部の概略図を示す。有機金属材料ガスは室温では固体または液体であり、シリンダー501内に保存される。シリンダー501上にはバルブ502があり、バルブ502と供給系間のフランジ503より切り離し原料を交換することができる。

【0089】シリンダー501からの配管はストップバルブ505を介してマスフローコントローラ504につながり、その後二股に分岐し、それぞれストップバルブ506、507を介して真空容器508および水冷トラップ509を介してポンプ512につながっている。これらの配管、マスフローコントローラ504、バルブ502、505、506、507等の原料供給系の有機金属材料ガスが接触する部分には加熱手段513が設けられており、有機金属材料ガスが液化したり固化したりしないように、十分な蒸気圧を持つ温度以上でかつ有機金属材料ガスの分解温度以下の温度に設定することができる。本発明で用いる装置においては、マスフローコントローラにより原料ガスの流量を調節するが、キャリアガ

スを使用しないで直接原料ガスの流量を制御することが好ましいためであり、本発明はマスフローコントローラによる流量制御には限定されるものではない。

【0090】成膜時は、まず、バルブ502, 505, 506を開け、シリンダー501内の有機金属材料ガスの自圧によってマスフローコントローラ504を駆動し、ポンプ512にガスを排気して、この間にマスフローコントローラ504のガス流量の安定化を図る。次ぎに、バルブ506を閉じ、バルブ507を開けることによつて正確に流量をコントロールされた有機金属材料ガスを真空容器内に供給することができる。それぞれの有機金属材料ガスおよび酸化ガスは、独立した原料供給用配管418(図7)で真空容器に導入され、真空容器内ではじめて混合される。すなわち、酸化ガスと有機金属材料ガスが、真空容器に導入される前に接触しない構造となっている。

【0091】以上説明したような装置を用いることにより、成膜に必要な有機金属材料ガスおよび酸化ガスのみを真空容器内に導入することが可能になり、本発明の成膜条件を容易に実現できる。

【0092】容量電極上への有機金属材料ガスを用いた気相成長方法において、酸化ガスとして二酸化窒素を用いることが可能である。酸化ガスの配管に二酸化窒素を流せば良い。

【0093】成膜中の真空容器の全圧については、サブ排気ライン411(図7)の排気量とマスフローコントローラ504(図8)の流量を調節することにより、1Pa以下にすることができる。

【0094】例えば、PZT膜の成膜を例にとって本発明の成膜方法の実施形態について説明する。PZTを成膜するときの代表的な原料、原料温度、マスフローコントローラ温度はPb原料として鉛ビスジピバロイルメタナート(Pb(DPM)₂)、原料温度177°C、マスフローコントローラ温度200°C、Zr原料としてテトラターシャリーブトキシジルコン(Zr(OctBu)₄)、原料温度70°C、マスフローコントローラ温度150°C、Ti原料としてテトライソプロポキシチタン(Ti(OiPr)₄)、原料温度75°C、マスフローコントローラ温度150°Cであり、NO₂のマスフロー温度は150°C、真空容器の内壁温度は180°Cである。

【0095】(成膜実験-1) 実験には、図1に示す下部電極のパターンを用いた。シリコン酸化膜上に下部電極としてPtを用いて2μm角、隣接する下部電極間の距離2μmとして、100個×100個のアレイとして0.4mm角の領域内に形成した。分離されたそれぞれの下部電極にはWのプラグとこれに接続するA1配線があり、個々の容量の電気特性が測定できる様になっている。この容量アレイが、4×4mmのチップ内に1個ずつ配置されており、6インチウエハー全面に形成されて

いる。

【0096】図1のように下部電極アレイ領域にのみPtを有する基板と、図2のように下部電極アレイの周囲に、周辺下部電極から2μmだけ離した結晶化補助導電膜304をPtを用いて大きな面積に設け、アレイ領域以外のチップ部分全面をPtで覆う基板とを用意した。そして、基板表面にPZTを成膜し、上部電極を形成してから容量素子を完成し、個々の容量素子の特性を比較した。

【0097】成膜温度430°Cで、はじめに第1の成膜条件としてビスジピバロイルメタナート鉛(Pb(DPM)₂)流量0.2SCCM、チタンイソプロポキシド(Ti(OiPr)₄)流量0.25SCCM、NO₂流量3.0SCCMの条件で40秒間成膜し、アイランド状のチタン酸鉛の結晶核を形成した後、第2の成膜条件としてPb(DPM)₂流量0.25SCCM、ジルコニウムブトキシド(Zr(OctBu)₄)流量0.225SCCM、Ti(OiPr)₄流量0.2SCCM、NO₂流量3.0SCCMの条件で1200秒間成膜し、PZTを200nm厚に成膜した。また、この時の成長中の真空容器内のガスの全圧は、5×10⁻¹Paとした。この成膜条件はPtを6インチウエハー全面に形成した時、この基板上で良好なPZT結晶が得られ、従って良好なヒステリシス特性が得られる条件である。尚、第1の成膜条件でアイランド状ではなく、層状になるまでチタン酸鉛の結晶核を形成してもよい。

【0098】図9に、2μm角容量のヒステリシス特性を比較した結果を示す。アレイ部以外のチップ部分全面にもPtを有する基板の場合には、図9(b)に示すように良好なヒステリシス特性が得られ、2μm角の微細なPt下部電極上で良好なPZT結晶が形成されていることがわかる。一方、アレイ領域にのみPtを有する基板の場合には、図9(a)に示すようにヒステリシス特性は得られず、PZT結晶は形成されていない。

【0099】つまり、微細化された電極上では、従来の方法では、PZTの結晶化が起こらないのに対して、本発明ではウエハー全面を下部電極材料で覆った場合と同一の成膜条件で、微細に分離された下部電極上に誘電体膜結晶を形成でき、良好な電気特性が得られることがわかる。

【0100】実際に、電子デバイスでは下部の配線との接続孔が必要であるため、先にこの部分の結晶化補助導電膜を取り除く場合もある。そこで、アレイ部以外のチップ部に形成した下部電極材料に2μm角の穴をランダムに100個開孔し下地シリコン酸化膜を露出させた基板を用いて同様の実験を行ったが、全面を下地電極材料によって覆った場合と同様に2μm角下地電極上で良好なヒステリシス特性が得られた。

【0101】従って、アレイ領域の周囲ウエハー全面に渡って、下部電極と同じ材料で形成された結晶化補助導

電膜の広い領域があることが本質であって、その電極材料膜中に微細なシリコン酸化膜開口領域があつても、微細に分離された下部電極上に誘電体膜結晶を形成でき、良好な電気特性が得られる。

【0102】(成膜実験-2) 次に、P_tの下部電極の大きさを0.5μm角、1μm角、2μm角、5μm角、10μm角、50μm角、100μm角に変更したときの特性を比較した。下部電極間の分離幅は、すべて2μmと一定にし、また下部電極アレイ領域の大きさも0.4mm角と一定にした。容量アレイが、4×4mmのチップ内に1個ずつ配置されており、6インチウエハー全面に形成され、個々の容量の特性が測れるようになっている点は成膜実験-1と同じである。その他の条件は成膜実験-1と同様にして、PZTを200nmの厚さに成膜した。

【0103】図10は、アレイ領域の下部電極のみをP_tで形成した場合の容量のヒステリシス特性を示し、図11は、下部電極アレイ以外のチップ部分全面にP_tの結晶化補助導電膜を設けた場合の容量のヒステリシス特性を示すグラフである。

【0104】図11の結果から明らかに、P_t結晶化補助導電膜を設けた場合は、下部電極が0.5μm角まで小さくなつたときでも良好なヒステリシス特性が得られ、パターン依存性がないことがわかる。一方、図10の結果からわかるように、P_tで下部電極のみを形成した基板の場合には、50μm角以上ではヒステリシス特性が得られるものの、10μm角以下ではヒステリシス特性は得られず、パターン依存性が大きい。

【0105】次に、この時の2μm角と100μm角の下地電極上のPZT組成をEDX法(エネルギー分散X線分光分析法)によって調べた。P_t結晶化補助導電膜を形成した基板の場合には、2μm角、100μm角共PZTの化学的量論比が合っているが、P_t結晶化補助導電膜を設けなかつた基板の場合には、100μm角ではPZTの化学的量論比が合っているものの、2μm角ではP_bが不足していた。従つて、特にPZTとP_tという組み合わせでは、ウエハー内の下部電極の他の大部分がP_tによって覆われた状態にすることによって、微少電極上におけるP_bの組成を増大させる効果があることがわかる。

【0106】(成膜実験-3) この成膜実験では、6インチウエハーの中心に、図2、図3に示すような0.4mm角の下部電極アレイ領域とそれを取り囲む幅2mmのP_t結晶化補助導電膜を設け、アレイ部内の下部電極間の分離幅(q)と、アレイ周辺の下部電極とP_t結晶化補助導電膜との距離(d)を等しくし、その距離(d(=q))を変化させて、各容量素子のヒステリシス特性を比較した。下部電極自体の大きさは2×2μm角一定とした。その他の条件は成膜実験-1と同様にして、PZTを200nmの厚さに成膜した。

【0107】図12に、ヒステリシス特性を比較した結果を示す。この図から、この成膜条件では分離部分の距離が10μm以上では良好なヒステリシス特性が得られないことがわかる。P_t上で分解形成された活性種は、拡散によって、微細に分離されたP_t下部電極上に供給されるが、分離領域のシリコン酸化膜上における活性種の付着係数が小さいために、シリコン酸化膜上で再蒸発を起こすと考えられる。430℃の成膜温度では、活性種が再蒸発せずに拡散によって広がることができる距離が10μm未満であり、それ以上分離領域幅が広がると、活性種が微細に分離されたP_t下部電極上に十分到達することができず、組成が化学的量論比からはずれ、結晶化が起こらないものと推察される。従つて、この分離部の最大値は基板温度によって変化し、基板温度が高くなると減少する傾向にある。これは、酸化膜上における活性種の再蒸発が促進されるからであると考えられる。

【0108】(デバイス製造例1) デバイス製造例1を、図13を参照しながら説明する。まず、ウエット酸化によりシリコン基板600に分離用酸化膜606を形成して、素子領域を区画分離した。その後、ボロン、リン等の不純物をイオン注入し、n型およびp型のウェルを形成した。この後、ゲートおよび拡散層を以下のように形成した。まず、ゲート酸化膜601をウエット酸化によって形成した後、ゲートとなるポリシリコン602を成膜し、エッチングした。このポリシリコン膜上にシリコン酸化膜を成膜した後、エッチバックして、側壁酸化膜603を形成した。次に、ボロン、砒素等の不純物をイオン注入し、n型およびp型の拡散層605を形成した。さらに、この上にTi膜を成膜した後、シリコンと反応させ、未反応のTiをエッチングにより除去することにより、ゲート604および拡散層605の表面をシリサイド化した。以上の工程により、図13(A)に示すような、分離用酸化膜606によって分離されたn型およびp型のMOS型トランジスタがシリコン基板上に形成される。

【0109】次にコンタクトおよび下部電極を図13(B)に示すように形成した。先ず、第一層間絶縁膜607としてシリコン酸化膜又はボロン等の不純物を含んだシリコン酸化膜(BPSG)を成膜した後、CMP法により平坦化した。次に、コンタクトをエッチングにより開口した後、n型およびp型それぞれの拡散層に対して不純物を注入し、750℃で10秒の熱処理を行つた。この後、バリアメタルとしてTiおよびTiNを成膜した。

【0110】この上にタンクスチタンをCVD法により成膜した後、CMPによりタンクスチタンのプラグ608を形成した。タンクスチタンのプラグは、タンクスチタンのCVD後、エッチバックによって形成しても良い。この上に、容量下部電極層として、Ti膜609およびTiN

膜610を連続してスパッタし、その上に厚さ100nmのPt膜611を形成した。このとき、Pt膜は300°C程度の高温でスパッタすることが好ましい。

【0111】次に、ドライエッティングにより下部電極をそれぞれ分離すると共に、下部配線引出しのための開口部、およびその他デバイス構造上、下部電極材料膜(Pt/TiN/Ti膜)が存在してはならない箇所の下部電極材料膜を除去する以外は、ウェハー全面に下部電極材料膜が残るようにして結晶化補助導電膜615を形成した。このときの下部電極パターンは、下部電極の大きさが1μm角で、下部電極同士の分離距離が1.5μmで、250×250μmの範囲に100×100個が配列されたパターンである。そして結晶化補助導電膜がアレイ領域の周辺を取り囲んでおり(図2のように)、周辺下部電極と結晶化補助導電膜との間の距離は2μmとした。

【0112】次に、この表面に図13(C)に示すように、PZT膜612を厚さ200nmに形成した。このPZT膜の成膜条件は、(成膜実験-1)と同じである。

【0113】次に、図13(D)に示すように、IrO₂膜613およびIr膜614をスパッタリング法により成膜し、ドライエッティングによって、容量上部電極層とこれをつなぐプレート線を形成し、PZTを容量絶縁膜として有する容量素子を完成した。この上に、パッシベーション膜617としてシリコン酸化膜およびSiON膜を形成した後、配線パッド部を開口し、電気特性の評価を行った。

【0114】このように形成した容量の電気特性を評価するために、1μm角のPZT容量を5000個並列接続し、その特性を測定したところ、反転と非反転電荷の差として10μC/cm²以上の値が得られ、良好な誘電特性を示した。疲労特性および保持特性等も良好であった。また、ゲート長0.26μmのトランジスタにおける特性を評価したところ、p型、n型ともにしきい値V_tのばらつきはウェハー全面で10%以下であり、良好であった。さらに、0.4μm角の容量下部コンタクトの抵抗を、コンタクト・チェーンにより測定したところ、コンタクト1個当たりの抵抗は10Ωcm以下であり良好であった。また、ノイズに対する耐性も高かつた。また、上述のような工程をとることによって、上部電極をプレート線と共に用させることができるために、他にプレート線を形成する必要が無く、製造コストの低減およびプレート線形成時に誘起される誘電体膜の劣化を最小に抑えることができるという効果が得られる。

【0115】(デバイスの製造例2)デバイス製造例2を、図14を参照しながら説明する。タンゲステンのプラグの作製までは、デバイス製造例1と同様に行い、この上に、Ti、TiNを成膜した。その後スパッタ法によりAlCuを成膜し、ドライエッティング法により第一

のアルミ配線701を形成し、図14(A)に示すようなn型およびp型のMOS型トランジスタ上に第一のアルミ配線を有する構造を形成した。

【0116】次にビアおよび第二のアルミ配線を図14(B)に示すように形成した。先ず、第二層間絶縁膜702としてシリコン酸化膜又はボロン等の不純物を含んだシリコン酸化膜(BPSG)を成膜した後、CMP法により平坦化した。

【0117】次に、ビアホールをエッティングにより開口した後、バリアメタルとしてTiおよびTiNを成膜した。この上にタンゲステンをCVD法により成膜した後、CMPによりタンゲステンのプラグ703を形成した。タンゲステンのプラグは、タンゲステンのCVD後、エッチバックによって形成しても良い。この上に、TiおよびTiNをスパッタ法により形成し、さらに銅添加アルミニウム膜をスパッタ法により形成した後、ドライエッティング法により第二のアルミ配線704を形成した。さらにその上に、第三層間絶縁膜705としてシリコン酸化膜またはボロン等の不純物を含んだシリコン酸化膜(BPSG)を成膜した後、CMP法により平坦化した。次にビアホールをエッティングにより開口した後、バリアメタルとしてTiおよびTiNを成膜した。この上にタンゲステンをCVD法により成膜した後、CMP法によりタンゲステンのプラグ706を形成した。タンゲステンのプラグは、タンゲステンのCVD後、エッチバックによって形成しても良い。

【0118】このアルミ配線、層間膜、ビア形成を繰り返すことによって、所望の数の配線層を形成することができる。最後のタンゲステンプラグ上に、Ti膜707、TiN膜708を連続してスパッタし、その上に100nmのPt膜709を形成した。このとき、Pt膜は300°C程度の高温でスパッタすることが好ましい。

【0119】次に、デバイス製造例1と同様に、ドライエッティングにより下部電極をそれぞれ分離すると共に、下部配線引出しのための開口部、およびその他デバイス構造上、下部電極材料膜(Pt/TiN/Ti膜)が存在してはならない箇所の下部電極材料膜を除去する以外は、ウェハー全面に下部電極材料膜が残るようにして結晶化補助導電膜710を形成した。このときのパターンはデバイス製造例1と同じにした。

【0120】次に、図14(C)に示すように、PZT膜711をデバイス製造例1と同様の条件で厚さ200nmで全面に形成した。その後IrO₂膜713およびIr膜714をスパッタリング法により成膜し、続いてドライエッティングして、容量上部電極層とこれをつなぐプレート線を形成し、PZTを容量絶縁膜として有する容量素子を完成した。この上に、パッシベーション膜717としてシリコン酸化膜およびSiON膜を形成した後、配線パッド部を開口し、電気特性の評価を行った。

【0121】このように製造した容量の評価を、デバイ

ス製造例1と同様に行った。その結果、反転と非反転電荷の差として $10 \mu C/cm^2$ 以上の値が得られ、良好な誘電特性を示し、疲労特性および保持特性等も良好であった。また、ゲート長 $0.26 \mu m$ のトランジスタにおける特性を評価は、p型、n型ともにしきい値V_tのばらつきはウエハー全面で10%以下であり、良好であった。さらに、 $0.4 \mu m$ 角の容量下部コンタクトの抵抗を、コンタクト・チェーンにより測定した結果、コンタクト1個当たりの抵抗は $10 \Omega cm$ 以下であり良好であった。また、ノイズに対する耐性も高かった。

【0122】(デバイス製造例3) この製造例では、下部配線を銅配線としたものである。図15を参照しながら説明する。まず、ウエット酸化によりシリコン基板に分離用酸化膜806を形成した。その後、ボロン、リン等の不純物をイオン注入し、n型およびp型のウェルを形成した。この後、ゲートおよび拡散層を以下のように形成した。図15(A)に示すように、まず、ゲート酸化膜801をウエット酸化によって形成した後、ゲートとなるポリシリコン802を成膜し、エッチングした。このポリシリコン膜上にシリコン酸化膜を成膜した後、エッチバックして、側壁酸化膜を形成した(図示を省略した)。次に、ボロン、砒素等の不純物をイオン注入し、n型およびp型の拡散層を形成した。さらに、この上にT_i膜を成膜した後、シリコンと反応させ、未反応のT_iをエッチングにより除去することにより、T_iシリサイドをゲート804および拡散層805に形成した。このまでの工程により、分離用酸化膜806によって分離されたn型およびp型のMOS型トランジスタがシリコン基板上に形成される。

【0123】このような構造の上に、第一層間絶縁膜807としてシリコン酸化膜又はボロン等の不純物を含んだシリコン酸化膜(BPSG)を成膜した後、CMP法により平坦化した。次に、配線溝808およびコンタクトホール809をエッチングにより開口した。その後、開口よりn型およびp型それぞれの拡散層に対して不純物を注入し、 $750^\circ C$ で10秒の熱処理を行った。ここまで工程により、図15(A)の構造が形成される。

【0124】次に、図15(B)に示すように、バリアメタルとしてT_aを成膜し、この上にCuをスパッタ法により成膜した後、これをシード層としてメッキ法によりCuをコンタクトおよび配線溝内に埋め、さらに、CMPによりCu配線810を分離した。さらにこの上に第二層間絶縁膜811としてシリコン酸化膜およびCMPのエッチストップ膜としてシリコン窒化膜を形成後、配線溝812およびスルーホール813をエッチングにより開口した。

【0125】次に図15(C)に示すように、この後、バリアメタルとしてT_aを成膜し、この上にCuをスパッタ法により成膜した後、これをシード層としてメッキ法によりCuをコンタクトおよび配線溝内に埋め、さら

に、CMPにより配線を分離した。このデュアルダマシンプロセスを繰り返すことによって、所望の数の配線層を形成することができる。この上にさらに第三層間絶縁膜814としてシリコン酸化膜およびCMPのエッチストップ膜としてシリコン窒化膜を形成後、スルーホール部をエッチングにより開口した。この後、バリアメタルとしてT_aを成膜した。この上にCuをスパッタ法により成膜した後、これをシード層としてメッキ法によりCuをスルーホール部内に埋めた。さらに、CMPによりプラグ815を分離した。このプラグの形成にはタンクステンを用いても良い。タンクステンプラグを形成する場合には、メッキ法の変わりにCVD法によってスルーホールを埋める。また、バリアメタルとしてTiN/Tiを用いる。

【0126】最後のプラグ上に、Ti膜824、TiN膜825を連続してスパッタし、その上に $100 nm$ のPt膜826を形成した。このとき、Pt膜は $300^\circ C$ 程度の高温でスパッタすることが好ましい。

【0127】次に、デバイス製造例1と同様に、ドライエッチングにより下部電極をそれぞれ分離すると共に、下部配線引出しのための開口部、およびその他デバイス構造上、下部電極材料膜(Pt/TiN/Ti膜)が存在してはならない箇所の下部電極材料膜を除去する以外は、ウエハー全面に下部電極材料膜が残るようにして結晶化補助導電膜710を形成した。このときのパターンはデバイス製造例1と同じにした。

【0128】次に、PZT膜827をデバイス製造例1と同様の条件で厚さ $200 nm$ で全面に形成した。その後、IrO₂膜828およびIr膜829をスパッタリング法により成膜し、ドライエッチングによって、容量上部電極層とこれをつなぐプレート線を形成し、PZTを容量絶縁膜として有する容量素子を完成した。この上に、パッシベーション膜830としてシリコン酸化膜およびSiON膜を形成した後、配線パッド部を開口し、電気特性の評価を行った。

【0129】このように製造した容量の評価を、デバイス製造例1と同様に行った。その結果、反転と非反転電荷の差として $10 \mu C/cm^2$ 以上の値が得られ、良好な誘電特性を示し、疲労特性および保持特性等も良好であった。また、ゲート長 $0.26 \mu m$ のトランジスタにおける特性を評価は、p型、n型ともにしきい値V_tのばらつきはウエハー全面で10%以下であり、良好であった。さらに、 $0.4 \mu m$ 角の容量下部コンタクトの抵抗を、コンタクト・チェーンにより測定した結果、コンタクト1個当たりの抵抗は $10 \Omega cm$ 以下であり良好であった。また、ノイズに対する耐性も高かった。

【0130】以上のデバイスの製造例1～3においてタンクステンもしくは銅を用いたコンタクトについて述べたが、同様にポリシリコンを用いたコンタクトにおいても、強誘電体容量特性、トランジスタ特性、コンタクト

抵抗とともに良好であった。

【0131】

【発明の効果】本発明によれば、素子構造が微小化された場合であっても、特性および信頼性に優れた容量素子を有する半導体装置を提供することができる。

【0132】また、本発明によれば、容量素子を有する半導体装置のノイズ耐性に優れた構造を提供することができる。

【0133】さらに本発明によれば、素子構造が微小化された場合であっても、金属酸化物誘電体、特にペロブスカイト構造の結晶化を低温にて確実に行い、特性および信頼性に優れた容量素子を有する半導体装置の生産性の良い製造方法を提供することができる。

【0134】さらに本発明によれば、容量素子を有する半導体装置のノイズ耐性に優れた構造の製造方法を提供することができる。

【図面の簡単な説明】

【図1】半導体ウェハー上のチップおよび下部電極アレイの配列を模式的に示す図(A)、および下部電極アレイの拡大図(B)である。

【図2】下部電極アレイと結晶化補助導電膜のパターンの1例を示す図である。

【図3】下部電極アレイと結晶化補助導電膜のパターンの1例を示す図である。

【図4】下部電極アレイと結晶化補助導電膜のパターンの1例を示す図である。

【図5】下部電極アレイと結晶化補助導電膜のパターンの1例を示す図である。

【図6】下部電極アレイと結晶化補助導電膜のパターンの1例を示す図である。

【図7】本発明で用いる薄膜気相成長装置の真空容器の断面を示す概略図である。

【図8】本発明で用いる薄膜気相成長装置の原料供給系を示す概略図である。

【図9】結晶化補助導電膜の有無による容量素子のヒステリシス特性の比較を示す図である。

【図10】結晶化補助導電膜を用いなかったときの容量素子のヒステリシス特性の示す図である。

【図11】結晶化補助導電膜を用いたときの容量素子のヒステリシス特性の示す図である。

【図12】下部電極の分離幅および下部電極と結晶化補助導電膜の距離を変化させた時の容量素子のヒステリシス特性の比較を示す図である。

【図13】デバイス製造例1の製造工程を示す模式図である。

【図14】デバイス製造例2の製造工程を示す模式図である。

【図15】デバイス製造例3の製造工程を示す模式図である。

【図16】Pb原料流量を変化させたときの膜中の(T

$i + Zr) / Pb$ 組成比の変化を示すグラフである。

【図17】従来の容量加工工程を示す概略図である。

【図18】従来の容量加工工程を示す概略図である。

【符号の説明】

10 1 下部電極

10 2 容量絶縁膜

10 3 上部電極

10 4 テーパー部

10 5 下部電極

10 6 容量絶縁膜

10 7 上部電極

11 0 半導体基板

11 1 素子分離領域

11 2 ソース・ドレイン領域

11 3 ゲート電極

11 4 層間絶縁膜

11 5 メタルプラグ

30 1 ウェハー

30 2 チップ

20 30 3 アレイ領域

30 4 下部電極

30 5 結晶化補助導電膜

40 1 石英製ピン用の穴

40 2 石英製ピン

40 3 サセプター

40 5 ヒータ室

40 6 真空容器

40 7 ターボモレキュラポンプ

40 8 ターボモレキュラポンプ

30 40 9 加熱機構

41 0 メイン排気ライン

41 1 サブ排気ライン

41 2 メインゲートバルブ

41 3 バルブ

41 4 水冷トラップ

41 5 コンダクタンスを調節できるバルブ

41 6 ヒータ

41 7 ウェハー

41 8 原料供給用配管

40 50 1 シリンダー

50 2 バルブ

50 3 フランジ

50 4 マスフローコントローラ

50 5 ストップバルブ

50 6 ストップバルブ

50 7 ストップバルブ

50 8 真空容器

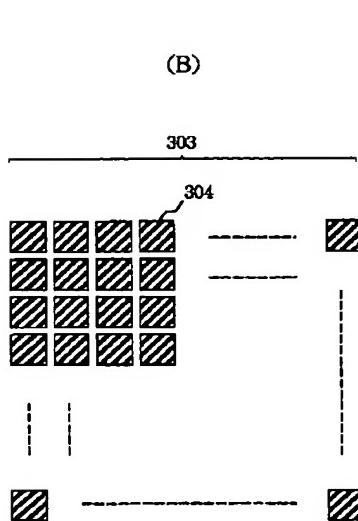
50 9 水冷トラップ

51 0 真空計

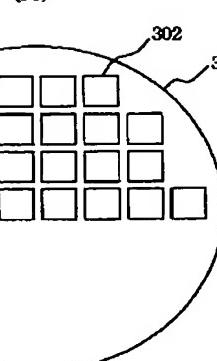
51 2 ポンプ

600	シリコン基板	711	PZT膜
601	ゲート酸化膜	713	IrO ₂ 膜
602	ゲートポリシリコン	714	Ir膜
603	側壁酸化膜	717	パッシベーション膜
604	ゲート	801	ゲート酸化膜
605	拡散層	802	ゲートポリシリコン
606	分離用酸化膜	804	ゲート
607	第一層間絶縁膜	805	拡散層
608	タングステンプラグ	806	分離用酸化膜
609	Ti膜	10 807	第一層間絶縁膜
610	TiN膜	808	配線溝
611	Pt層	809	コンタクトホール
612	PZT膜	810	Cu配線
613	IrO ₂ 膜	811	第二層間絶縁膜
614	Ir膜	812	配線溝
617	パッシベーション膜	813	スルーホール
701	第一のアルミ配線	814	第三層間絶縁膜
702	第二層間絶縁膜	815	プラグ
703	タングステンプラグ	824	Ti膜
704	第二のアルミ配線	20 825	TiN膜
705	第三層間絶縁膜	826	Pt膜
706	タングステンプラグ	827	PZT膜
707	Ti膜	828	IrO ₂ 膜
708	TiN膜	829	Ir膜
709	Pt膜	830	パッシベーション膜
710	結晶化補助導電膜		

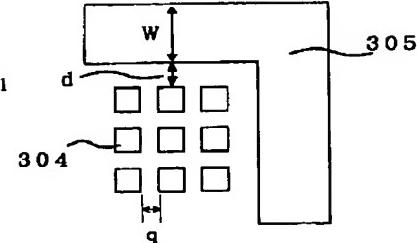
【図1】



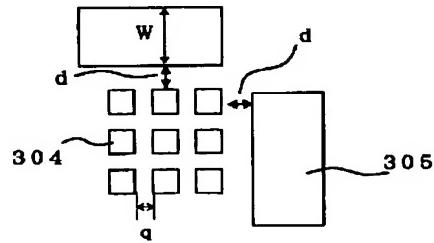
(A)



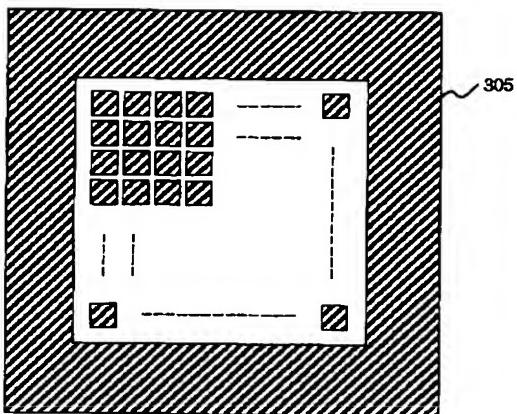
【図3】



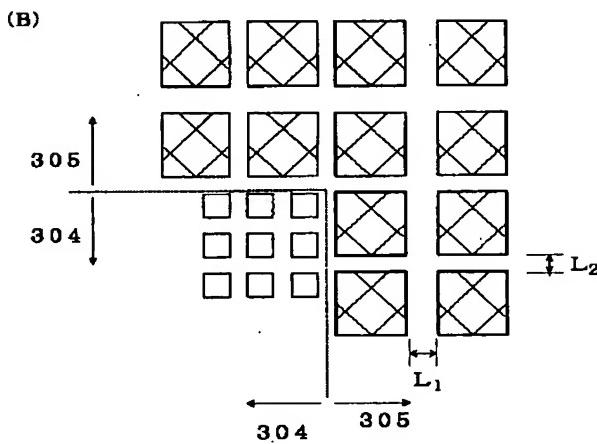
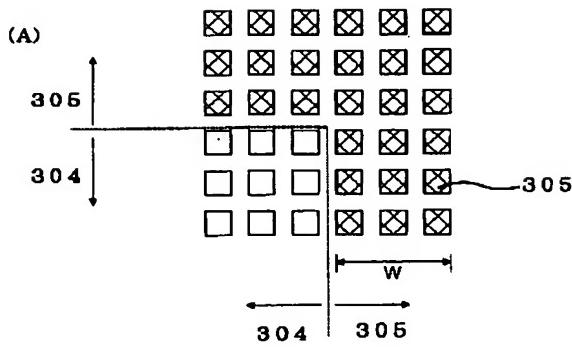
【図4】



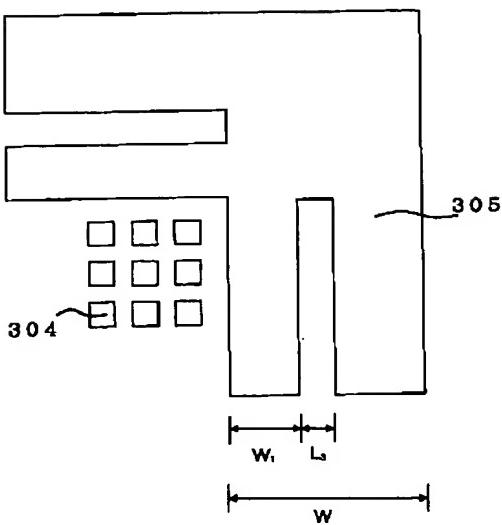
【図2】



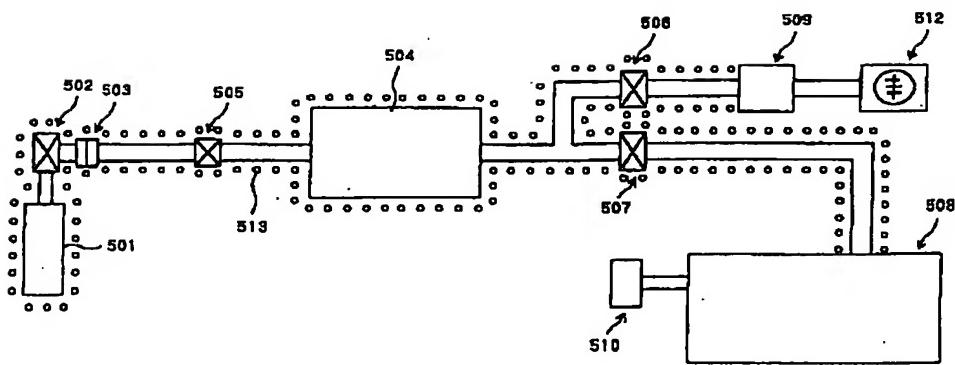
【図5】



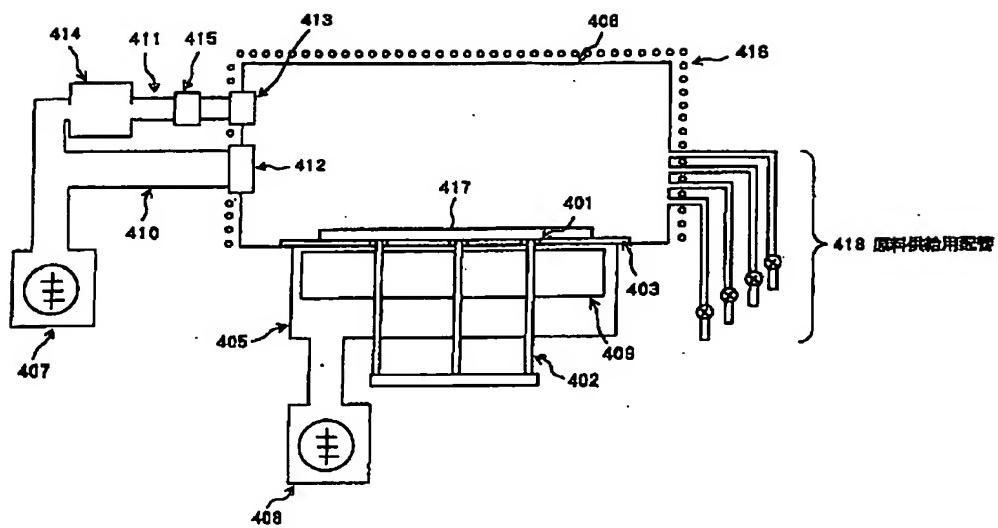
【図6】



【図8】

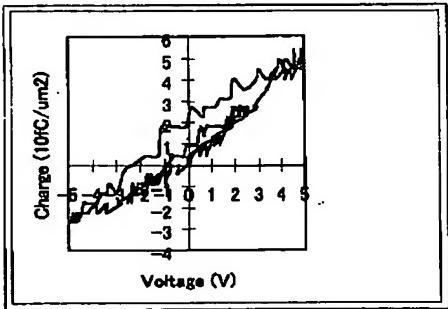


【図7】

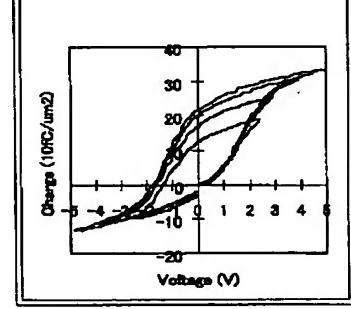


【図9】

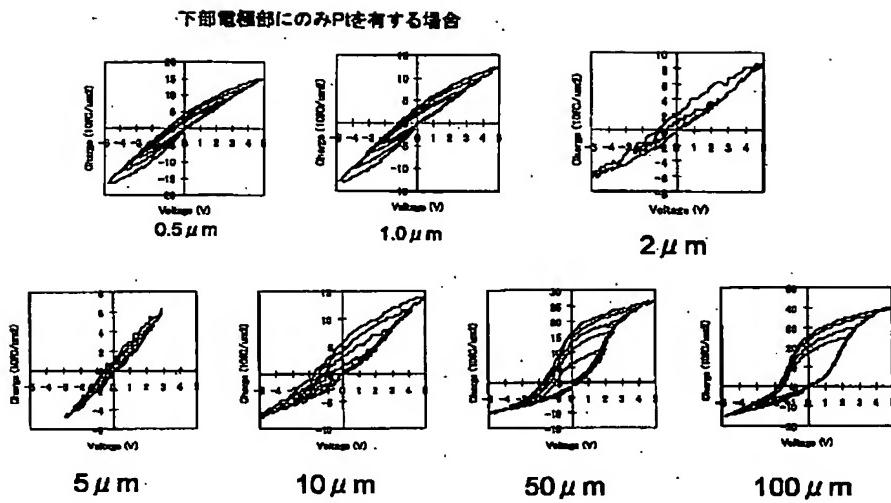
a)下部電極部にのみPtを有する場合



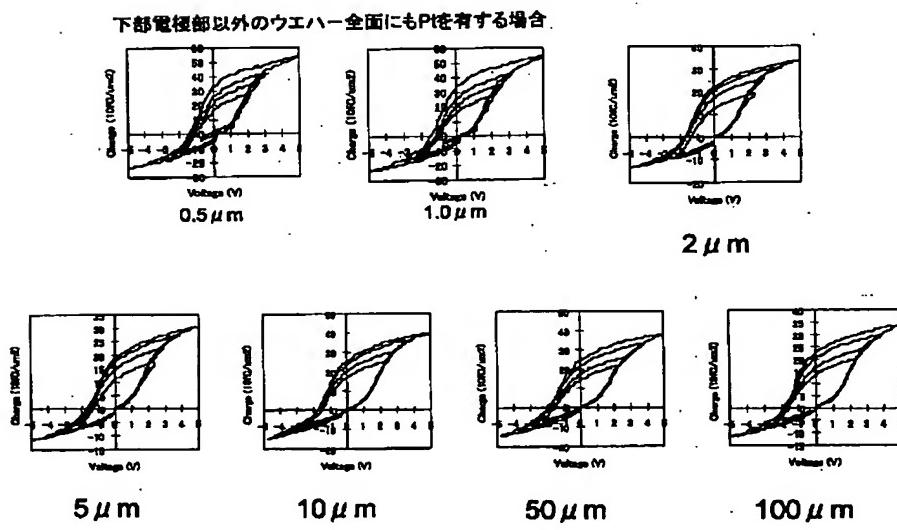
b)下部電極部以外のウェハー全面にもPtを有する場合



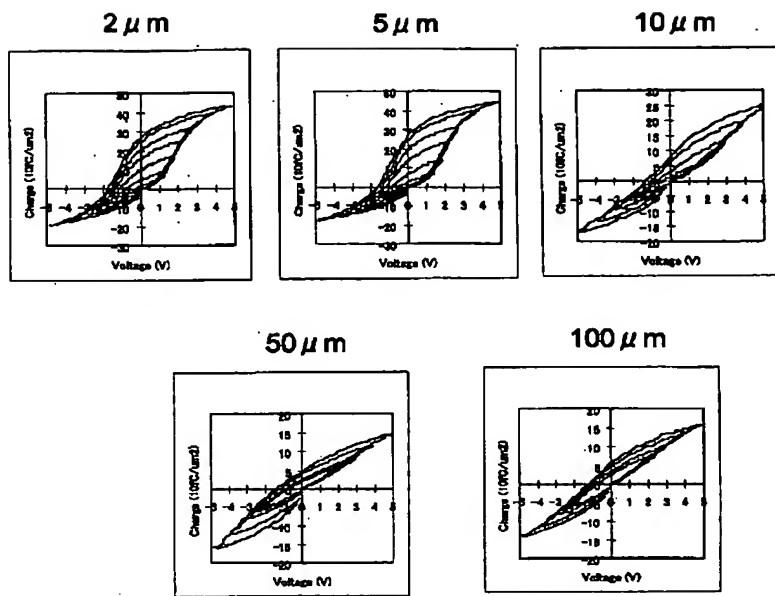
【図10】



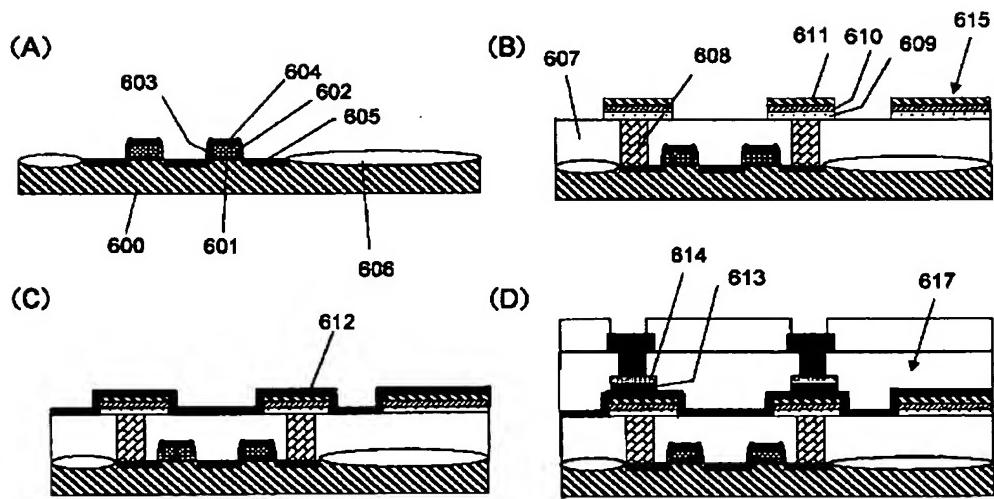
【図11】



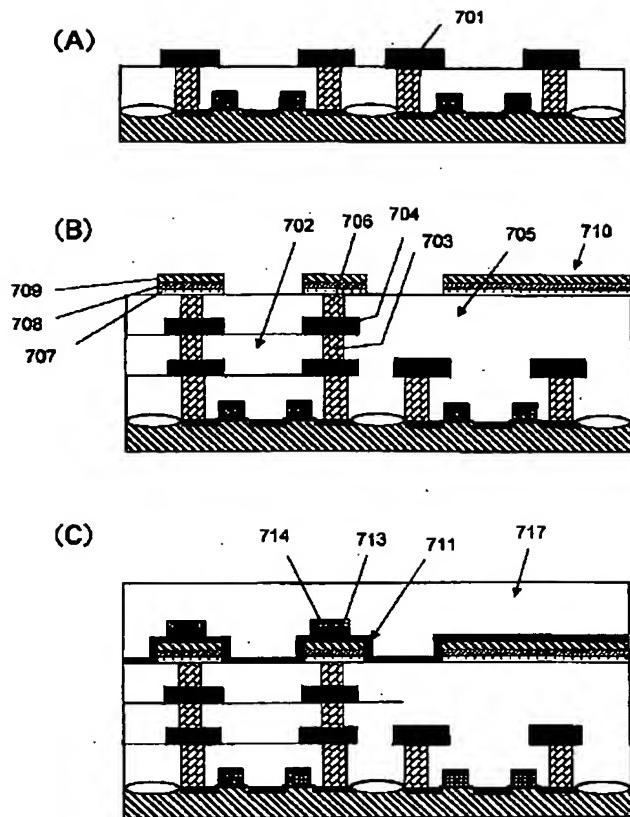
【図12】



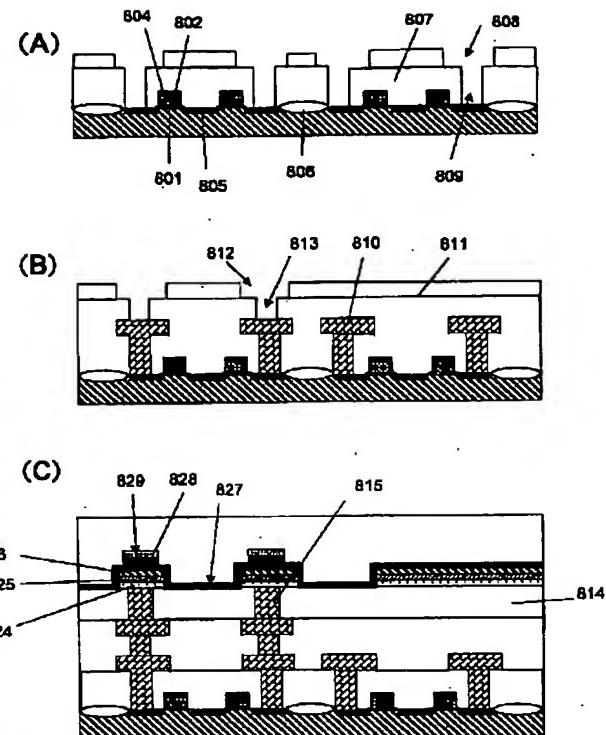
【図13】



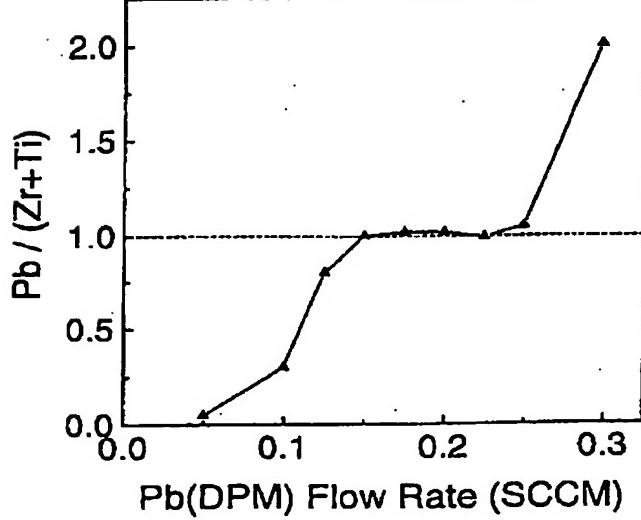
【図14】



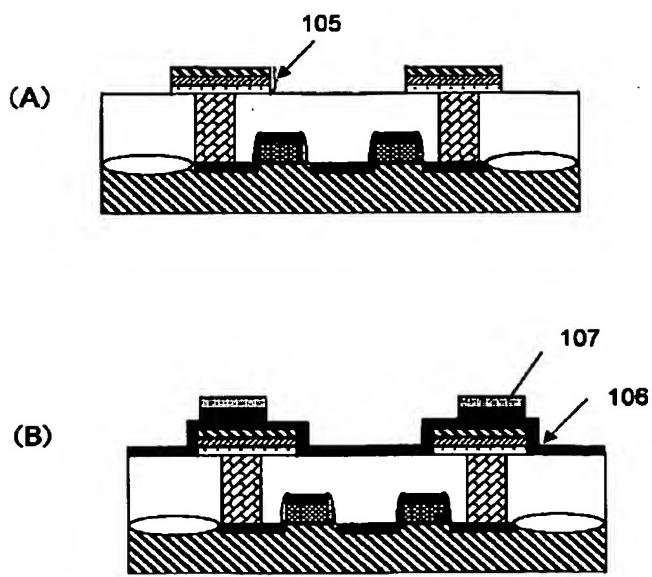
【図15】



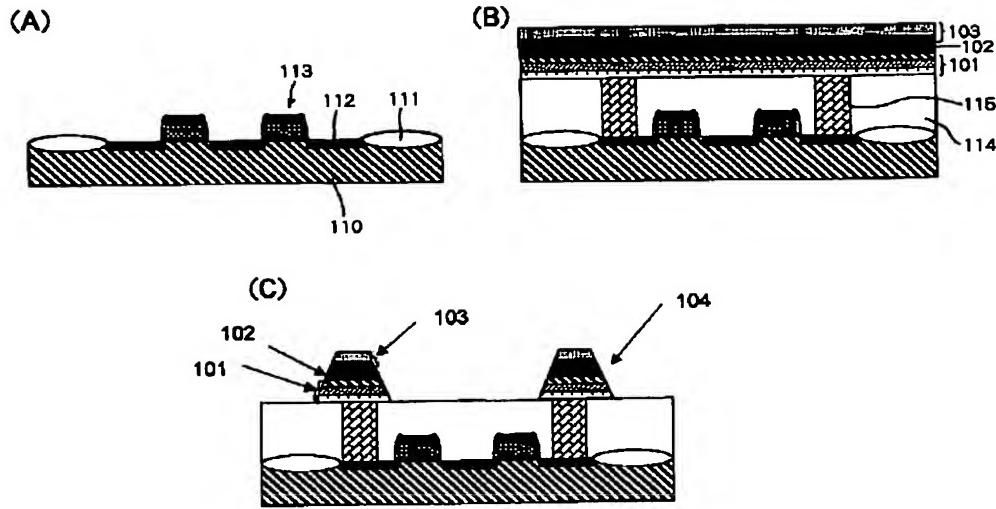
【図16】



【図18】



【図17】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テマコード (参考)

H O 1 L 21/8242

F ターム (参考) 5F038 AC04 AC05 AC15 AC18 CA18
EZ14 EZ20
5F058 BA11 BA20 BC03 BC04 BC20
BF04 BF06 BF27 BF29 BF37
BG01 BG02 BJ01
5F083 GA12 GA21 JA13 JA14 JA15
JA37 JA38 JA39 JA40 JA43
MA06 MA17 PR21 PR40 ZA28
ZA30